

Docket No. 218357US2/sho

APR 15 2002

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshiaki SHIMOOKA, et al.

GAU: 2812

SERIAL NO: 10/052,259

EXAMINER:

FILED: January 23, 2002

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

JAPAN

2001-372974

December 6, 2001

RECEIVED

APR 17 2002

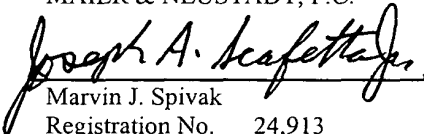
TECHNOLOGY CENTER 2800

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak
Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26,803

Fourth Floor
1755 Jefferson Davis Highway
Arlington, Virginia 22202
Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 11/98)



10/052,259

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年12月 6日

出 願 番 号

Application Number:

特願2001-372974

出 願 人

Applicant(s):

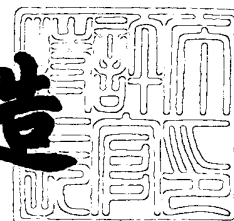
株式会社東芝

RECEIVED
APR 17 2002
TECHNOLOGY CENTER 2800

2001年12月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3112867

【書類名】 特許願

【整理番号】 13384501

【提出日】 平成13年12月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

 【氏名】 下 岡 義 明

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

 【氏名】 松 永 範 昭

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

 【氏名】 柴 田 英 毅

【特許出願人】

 【識別番号】 000003078

 【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号

 【氏名又は名称】 株式会社 東 芝

【代理人】

 【識別番号】 100075812

 【弁理士】

 【氏名又は名称】 吉 武 賢 次

【選任した代理人】

 【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板上に形成され所望の周波数 f_0 の信号が通る信号線と、前記信号と逆位相の信号が通るかまたは接地電源に接続される差動信号線と、を備え、前記信号線と前記差動信号線は、ほぼ平行であるように絶縁層を介して積層され、前記差動信号線が存在しなかった場合の前記信号線の単位長当たりの、抵抗成分、インダクタンス成分、キャパシタ成分をそれぞれ R 、 L 、 C とし、前記信号線の実際の配線長 l が次の式

【数 1】

$$l_0 = \sqrt{\frac{\frac{L}{C} + \sqrt{\frac{R^2 + 8\pi^2 f_0^2 L^2}{4\pi^2 f_0^2 C^2}}}{R^2 + 4\pi^2 f_0^2 L^2}}$$

から求められる配線長 l_0 よりも長いことを特徴とする半導体装置。

【請求項 2】

前記信号線は、前記半導体基板の主要部において前記差動信号線とほぼ幅が同じでかつ前記絶縁層を介して相対する位置に形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記差動信号線が前記絶縁層を介して形成された前記信号線の面とは反対側の面に第 2 絶縁層を介して第 2 差動信号線が形成されていることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】

前記信号線は、少なくとも 2 本あり、これらの 2 本の信号線は同じ層に形成され、これらの 2 本の信号線の間には前記差動信号線とは異なる第 2 差動信号線が前記信号線と同じ層となるように形成されていることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【請求項 5】

前記信号線、前記絶縁層、および前記差動信号線は、前記半導体基板上に形成された第 2 絶縁層に設けられた溝内に形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】

前記信号線と前記差動信号線は、前記半導体基板の主要部においてほぼ平行であることを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体装置。

【請求項 7】

半導体基板上に第 1 導電層を形成する工程と、前記第 1 導電層上に絶縁層を形成する工程と、前記絶縁層上に第 2 導電層を形成する工程と、前記第 2 導電層、前記絶縁層、および前記第 1 導電層を一時にパターニングして、前記第 1 導電層から第 1 配線を、前記第 2 導電層から第 2 配線を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項 8】

半導体基板上に形成された第 1 絶縁層内に溝を形成し、この溝に配線材料を埋め込むことにより第 1 配線を形成する工程と、前記第 1 配線を覆う第 2 絶縁層を形成する工程と、前記第 2 絶縁層上に第 3 絶縁層を形成する工程と、この第 3 絶縁層の前記第 1 配線に相対する位置に、前記第 2 絶縁層に到達する開口を形成し、この開口に配線材料を埋め込むことにより第 2 配線を形成する工程と、を備えたことを特徴とする半導体装置の製造法。

【請求項 9】

半導体基板上に形成された第 1 絶縁層に溝を形成する工程と、前記溝の側面および底面を覆う第 1 配線層を形成する工程と、前記第 1 配線層を覆うように第 2 絶縁層を介して第 2 配線層を前記溝内に形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 10】

前記第 1 配線は、信号線および前記信号線を通る信号と逆位相の信号が通るかまたは接地電源に接続される差動信号線の内の一方であり、第 2 配線は前記信号線および前記差動信号線の内の他方であることを特徴とする請求項 7 乃至 9 のい

ずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、多層配線構造を用いた半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

近年、大規模集積回路(以下、LSI (Large Scale Integrated Circuit) とも云う)は、高速化の制限に直面している。これまでのLSIにおいては、ゲート遅延を抑えトランジスタを高速化すればLSI全体を高速化できたが、動作周波数が1GHz以上になると配線遅延がLSIの高速化を制限してしまう。また、LSIの微細化による配線間距離の縮小も重なって、信号線間の干渉も顕在化しつつある。このため、従来から使われてきたAl合金配線やSiO₂絶縁膜に代わって、比抵抗の低いCu配線や低誘電率層間絶縁膜といった材料技術によって配線遅延を抑制しようと試みている。

【0003】

しかし、上記の様な材料の改善により、配線抵抗Rと配線容量Cの積に比例するRC遅延を削減することはできるが、配線インダクタンスLの影響を排除することは困難である。特に回路ブロック間等をつなぐ長距離配線では、配線長が長いために配線インダクタンスの影響が大きくなって、RC遅延よりもLCの影響の方が支配的になる。この影響を排除するため、配線長の長い配線に対してはマイクロストリップ・ライン構造の検討を始める動きがある。

【0004】

このマイクロストリップ・ライン構造の、多層配線を有する従来の半導体装置の構成を図33に示す。この従来の半導体装置は、図示しない素子(例えば、トランジスタ)が形成された半導体基板900上に、絶縁層901が形成され、この絶縁層901上に絶縁層902が形成されている。この絶縁層902上には、接地電極となる金属層903が形成され、この金属層903上に絶縁層904を介して信号線905が形成されている。この信号線905は絶縁層906によっ

て被覆されている。そして、この絶縁層 906 上には、図示しない接地電極または電源電極からなる金属層、絶縁層、および信号線層等が形成された多層配線構造となっている。このように、マイクロストリップ・ライン構造は、平板状の接地電極 903 や電源電極によって信号線 905 を挟む配線構造で、LC の影響低減に効果がある。

【0005】

【発明が解決しようとする課題】

しかし、図 33 に示した様な平板状の接地電極 903 を用いるマイクロストリップ・ライン構造の場合、図 34 に示すように、信号線 905 から接地電極 903 に向かうような電気力線および磁力線（電磁界）が形成されるため、上下の信号線間の干渉を抑えることはできる。しかし、上記電気力線および磁力線の広がりが大きいため隣接する信号線にも電気力線および磁力線が到達し、隣接する信号線間の干渉を抑えることができない。

【0006】

このため、マイクロストリップ・ライン構造の場合、微細化によって配線ピッチが小さくなると、隣接配線からの影響を大きく受ける。したがって、今後の微細化に適応できないという問題がある。

【0007】

本発明は、上記事情を考慮してなされたものであって、上下の信号線間の干渉および隣接する信号線間の干渉を抑えることができるとともに微細化にも適応できる半導体装置およびその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明の半導体装置の一態様は、半導体基板上に形成され所望の周波数 f_0 の信号が通る信号線と、前記信号と逆位相の信号が通るかまたは接地電源に接続される差動信号線と、を備え、前記信号線と前記差動信号線は、ほぼ平行であるように絶縁層を介して積層され、前記差動信号線が存在しなかった場合の前記信号線の単位長当たりの、抵抗成分、インダクタンス成分、キャパシタ成分をそれぞれ R 、 L 、 C とし、前記信号線の実際の配線長 l が次の式

【数 2】

$$l_0 = \sqrt{\frac{\frac{L}{C} + \sqrt{\frac{R^2 + 8\pi^2 f_0^2 L^2}{4\pi^2 f_0^2 C^2}}}{R^2 + 4\pi^2 f_0^2 L^2}}$$

から求められる配線長 l_0 よりも長いことを特徴とする。

【0 0 0 9】

また、本発明の半導体装置の製造方法による第 1 態様は、半導体基板上に第 1 導電層を形成する工程と、前記第 1 導電層上に絶縁層を形成する工程と、前記絶縁層上に第 2 導電層を形成する工程と、前記第 2 導電層、前記絶縁層、および前記第 1 導電層を一時にパターンニングして、前記第 1 導電層から第 1 配線を、前記第 2 導電層から第 2 配線を形成する工程と、を備えたことを特徴とする。

【0 0 1 0】

また、本発明の半導体装置の製造方法による第 2 態様は、半導体基板上に形成された第 1 絶縁層内に溝を形成し、この溝に配線材料を埋め込むことにより第 1 配線を形成する工程と、前記第 1 配線を覆う第 2 絶縁層を形成する工程と、前記第 2 絶縁層上に第 3 絶縁層を形成する工程と、この第 3 絶縁層の前記第 1 配線に相対する位置に、前記第 2 絶縁層に到達する開口を形成し、この開口に配線材料を埋め込むことにより第 2 配線を形成する工程と、を備えたことを特徴とする。

【0 0 1 1】

また、本発明の半導体装置の製造方法による第 3 態様は、半導体基板上に形成された第 1 絶縁層に溝を形成する工程と、前記溝の側面および底面を覆う第 1 配線層を形成する工程と、前記第 1 配線層を覆うように第 2 絶縁層を介して第 2 配線層を前記溝内に形成する工程とを備えたことを特徴とする。

【0 0 1 2】

【発明の実施の形態】

本発明の実施形態を以下、図面を参照して説明する。

【0 0 1 3】

(第 1 実施形態)

本発明の第 1 実施形態による半導体装置の構成を図 1 に示す。この実施形態の半導体装置は、スタックド・ペア・ラインと呼ばれる構造の多層配線を備えた構成となっている。スタックド・ペア・ラインとは、信号線と差動信号線（本明細書においては、上記信号線を通る信号と逆位相の信号が通る信号線または接地線）とを、絶縁層 1 5 を介して上下に重ねて対にした配線構造である。すなわち、信号線 1 7 は、差動信号線 1 3 相対する、絶縁層 1 5 上の位置に形成されている。図 1 に示す本実施形態の半導体装置は、例えば、トランジスタ等の素子が形成された半導体基板 1 0 上に絶縁膜 1 1 が形成され、この絶縁層 1 1 上に絶縁層 1 2 が形成されている。この絶縁層 1 2 には差動信号線 1 3（この実施形態においては、接地線）が埋め込まれた構成となっている。そして、この差動信号線 1 3 および絶縁層 1 2 を覆うように絶縁層 1 5 が形成されている。この絶縁層 1 5 は差動信号線 1 3 と後述の信号線 1 7 とを電氣的に分離するために形成されている。また、絶縁層 1 5 上には、絶縁層 1 6 が形成され、この絶縁層 1 6 に信号線 1 7 が埋め込まれた構成となっている。この信号線 1 7 と差動信号線 1 3 とは、絶縁層 1 5 を介して上下に重ねて対にして形成されており、本実施形態の半導体装置が形成されたチップの主要部においてほぼ同じ幅でかつほぼ平行となるように形成された構成となっている。ここで、主要部においてほぼ同じ幅でかつほぼ平行とは、少なくとも入力端子または出力端子の近傍を除いて、ほぼ同じ幅でかつほぼ平行であるという意味である。なお、信号線 1 7 および絶縁層 1 6 は絶縁層 1 8 によって被覆されている。

【 0 0 1 4 】

このように、本実施形態においては、信号線 1 7 と差動信号線 1 3 とが絶縁層 1 5 を介して上下に重ねて対にして、主要部においてほぼ同じ幅でかつほぼ平行となるように形成されているので、図 1 に示すように、信号線 1 7 から対応する差動信号線 1 3 に向かう電気力線および磁力線（電磁界）が、信号線 1 7 および対応する差動信号線 1 3 を含む狭い範囲に形成される。このため、上下の信号線間ばかりでなく隣接する信号線間の干渉の影響を受けることを可及的に防止することが可能となり、干渉の少ない信号伝送を実現できるとともに微細化に適した構造を実現できる。

【 0 0 1 5 】

このような構造を、単層の信号線すなわち、差動信号線と絶縁層を介して上下に重ねて対にしては形成されない信号線の実際の配線長 l が半導体装置で使用する周波数 f_0 によって決まる配線長 l_0 よりも長い場合に、用いれば、LC 遅延の低減に特に有効である。これを以下に説明する。

【 0 0 1 6 】

単層の信号線の配線路が図 2 に示す等価回路で置き換えられると仮定する。なお、図 2 に示す R 、 L 、 C は単位長さ当たりの抵抗、インダクタンス、キャパシタンスをそれぞれ表している。インピーダンス Z 、アドミッタンス Y を用いて入力インピーダンスが $Z + 1/Y$ 、出力インピーダンスが $1/Y$ と規定できるとすると、ある配線長 l_0 に対して

$$(1/Y) / (Z + 1/Y) = 2^{-1/2}$$

を満足する周波数 f_0 を遮断周波数という。すなわち、入力信号が約 3 dB 減衰する周波数を遮断周波数という。このとき、配線の単位長さあたりの抵抗成分 R (Ω)、インダクタンス成分 L (H)、容量成分 C (F) を用いてインピーダンス Z 、 $1/Y$ は、例えば、

$$Z = R \cdot l_0 + j (2 \pi f_0 \cdot L \cdot l_0)$$

$$1/Y = 1 / (j (2 \pi f_0 \cdot C \cdot l_0))$$

等と表せる。これらの式から l_0 を求めると、以下のように表される。

【 0 0 1 7 】

【数 3】

$$l_0 = \sqrt{\frac{\frac{L}{C} + \sqrt{\frac{R^2 + 8\pi^2 f_0^2 L^2}{4\pi^2 f_0^2 C^2}}}{R^2 + 4\pi^2 f_0^2 L^2}}$$

従って、半導体装置で使用する周波数が f_0 で、半導体装置の単層の信号線の配線長 l が上記式から決まる l_0 よりも長くなった場合には、上記単層の信号線を伝送する信号が減衰し、LC 遅延の影響が現れ始めてくる。

【 0 0 1 8 】

そこで、本実施形態による半導体装置においては、上記単層の信号線を、差動信号線と絶縁層を介して上下に重ねて対にして形成することにより、信号線 l_7 の配線長 l が上記式によって決まる配線長 l_0 よりも長くても、LC の影響を低減することが可能となり、干渉の少ない信号伝送を実現できる。

【 0 0 1 9 】

(第 2 実施形態)

次に、本発明の第 2 実施形態による半導体装置の製造方法を、図 3 乃至図 1 1 を参照して説明する。

【 0 0 2 0 】

この実施形態による半導体装置の製造方法は、まず、図 3 に示すように、半導体基板 2 0 上に、例えばトランジスタ等の素子（図示せず）を形成した後、絶縁層 2 2 および配線層（図示せず）を順次形成する（図 3 参照）。続いて、図 3 に示すように、半導体基板 2 0 の主面に、例えば気相化学成長（以下、CVD (Chemical Vapor Deposition) とも云う）法またはスピン塗布法を用いて絶縁層 2 4 を形成する。

【 0 0 2 1 】

次に、フォトリソグラフィ法と反応性イオンエッチング（以下、RIE (Reactive Ion Etching) とも云う）法を用いて絶縁層 2 4 に、上記配線層とのコンタクトを取るためのビア・ホールを形成し、このビア・ホールを金属（例えば、タングステン）で埋め込むことによりビア・プラグ 2 6 を形成する（図 4 参照）。

【 0 0 2 2 】

次に、図 5 に示すように、CVD 法またはスパッタリング法を用いて、半導体基板 2 0 の主面に絶縁層 2 4 およびビア・プラグ 2 6 を覆うように差動信号線用の金属層 2 8 を成膜する。続いて、CVD 法またはスピン塗布法を用いて、差動

信号線用の金属層 2 8 と、後述の信号線用の金属層とを分離する絶縁層 3 0 を金属層 2 8 上に成膜する（図 6 参照）。その後、CVD 法またはスパッタリング法を用いて、図 7 に示すように、信号線用の金属層 3 2 を成膜する。続いて、図 8 に示すようにフォトリソグラフィ法と R I E 法を用いて、金属層 3 2、絶縁層 3 0、および金属層 2 8 を一度にパターニングし、信号線 3 2 a と差動信号線 2 8 a からなる配線対を形成する。これにより、信号線 3 2 a と差動信号線 2 8 a は、半導体装置が形成されるチップのほぼ主要部においてほぼ同じ幅でかつほぼ平行となるように絶縁層 3 0 a を介して形成されることになる。

【 0 0 2 3 】

次に、図 9 に示すように CVD 法またはスピン塗布法を用いて信号線 3 2 a と差動信号線 2 8 a からなる配線対を被覆する絶縁層 3 4 を成膜する。続いて、この絶縁層 3 4 を、例えば CMP (Chemical Mechanical Polishing) を用いて平坦化する。その後、図 1 0 (b) に示すように、フォトリソグラフィ法と R I E 法を用いて、絶縁層 3 4 に信号線 3 2 a とのコンタクトを取るためのビア・ホールを形成し、このビア・ホールに例えば CVD 法を用いて金属（例えば、タングステン）を埋め込みビア・プラグ 3 6 を形成する。なお、図 1 0 (b) は、本実施形態の製造方法によって製造される半導体装置の断面図であり、図 1 0 (a) は、図 1 0 (b) に示す切断線 A - A で切断したときの断面図である。この図 1 0 (a) に示す断面図から分かるように、本実施形態においては、信号線 3 2 a および差動信号線 2 8 a からなる 2 組の配線対の一方（図 1 0 (a) では左側に示す配線対）は真っ直ぐに形成されており、他方（図 1 0 (a) では右側に示す配線対）は途中から右方に折れ曲がるように形成されている。いずれの信号線対も、信号線 3 2 a と差動信号線 2 8 a が、半導体装置が形成されるチップのほぼ主要部においてほぼ平行でかつほぼ同じ幅となるように絶縁層 3 0 a を介して形成されることになる。

【 0 0 2 4 】

上記のプロセスを繰り返してスタックド・ペア・ラインを何層か形成することができる。

【 0 0 2 5 】

以上、説明したように、第2実施形態によれば、信号線32aと差動信号線28aは、絶縁層30aとともに一度にパターンニングにより形成されるので、半導体装置が形成されるチップのほぼ主要部においてほぼ同じ幅でかつほぼ平行となるように絶縁層30aを介して形成される。これにより、信号線32aから対応する差動信号線28aに向かう電気力線および磁力線（電磁界）が、信号線32aおよび対応する差動信号線28aを含む狭い範囲に形成される。このため、上下の信号線間ばかりでなく隣接する信号線間の干渉の影響を受けることを可及的に防止することが可能となり、干渉の少ない信号伝送を実現できるとともに微細化に適した構造を実現できる。

【0026】

なお、本実施形態の製造方法によって製造される半導体装置においては、配線対の積層数は2層であったが、配線の積層数は2層に限ったものではなく、図11に示すように、信号線32aを絶縁層30aおよび絶縁層33を介して差動信号線28aおよび35で挟む構造としても良い。すなわち、図11に示す、第2実施形態の製造方法によって製造される半導体装置の変形例は、図10に示す第2実施形態の製造方法によって製造される半導体装置において、信号線32a上に絶縁層33を介して差動信号線35を形成した構成となっている。これにより、配線の積層数は3層となる。

【0027】

（第3実施形態）

次に、本発明の第3実施形態による半導体装置の製造方法を、図12乃至図21を参照して説明する。

【0028】

この実施形態による半導体装置の製造方法は、スタックド・ペア・ライン構造をダマシン（Damascene）配線で実現するものである。まず、図12に示すように、半導体基板40上に、例えばトランジスタ等の素子（図示せず）を形成した後、絶縁層42および配線層（図示せず）を順次形成する（図12参照）。続いて、図12に示すように、半導体基板40の主面に、例えばCVD法またはスピン塗布法を用いて絶縁層44を形成する。

【 0 0 2 9 】

次に、フォトリソグラフィ法と R I E 法を用いて絶縁層 4 4 に、図 1 3 に示すように上記配線層とのコンタクトを取るためのビア・ホール 4 6 および配線用溝 4 8 を形成し、このビア・ホール 4 6 および配線用溝 4 8 に例えば C V D 法、スパッタリング法、またはメッキ法を用いて金属（例えば、タングステン）を埋め込む。その後、CMP 法を用いて、配線用溝 4 8 からはみ出ている余分な金属を除去することによりビア・プラグ 5 0 および差動信号線 5 2 を形成する（図 1 4 参照）。その後、図 1 5 に示すように、C V D 法またはスピン塗布法を用いて差動信号線 5 2 および絶縁層 4 4 を被覆する絶縁層 5 4 を形成する。

【 0 0 3 0 】

次に、図 1 6 に示すように、例えば C V D 法を用いて、半導体基板 4 0 の主面に絶縁層 5 4 を覆うように絶縁層 5 6 を形成する。続いて、図 1 7 に示すように、半導体装置が形成されるチップのほぼ主要部において、差動信号線 5 2 とほぼ平行でかつほぼ同じ幅となるように、差動信号線 5 2 に相対する絶縁層 5 6 の位置に信号線用の溝 5 8 を形成する。なお、溝 5 8 は、その底面において絶縁層 5 4 が露出するように形成される。

【 0 0 3 1 】

次に、例えば C V D 法、スパッタリング法、またはメッキ法を用いて、溝 5 8 を金属で埋め込み、溝 5 8 からはみ出した余分の金属を例えば CMP 法を用いて除去することにより、図 1 8 に示すように、絶縁層 5 6 に信号線 6 0 を形成する。これにより、差動信号線 5 2 と相対する信号線 6 0 からなる配線対は、半導体装置が形成されるチップのほぼ主要部においてほぼ同じ幅でかつほぼ平行となるように絶縁層 5 4 を介して形成されることになる。その後、例えば C V D 法またはスピン塗布法を用いて、図 1 9 に示すように信号線 6 0 を被覆する絶縁層 6 2 を形成する。

【 0 0 3 2 】

次に、フォトリソグラフィ法および R I E 法を用いて、図 2 0 に示すように、信号線 6 0 とのコンタクトを取るためのビア・ホール 6 4 を絶縁層 6 2 に形成する。その後、例えば C V D 法、スパッタリング法、またはメッキ法を用いて、

ビア・ホール 6 4 を金属で埋め込み、ビア・ホール 6 4 からはみ出した余分の金属を例えば CMP 法を用いて除去することにより、図 2 1 (b) に示すように、絶縁層 5 2 にビア・プラグ 6 6 を形成する。なお、図 2 1 (b) は、本実施形態の製造方法によって製造される半導体装置の断面図であり、図 2 1 (a) は、図 2 1 (b) に示す切断線 A-A で切断したときの断面図である。この図 2 1 (a) に示す断面図から分かるように、本実施形態においては、信号線 6 0 および差動信号線 5 2 からなる 2 組の配線対の一方 (図 2 1 (a) では左側に示す配線対) は真っ直ぐに形成されており、他方 (図 2 1 (a) では右側に示す配線対) は途中から右方に折れ曲がるように形成されている。いずれの配線対も、信号線 6 0 と差動信号線 5 2 が、半導体装置が形成されるチップのほぼ主要部においてほぼ平行でかつほぼ同じ幅となるように絶縁層 5 4 を介して形成されることになる。上記のプロセスを繰り返してスタックド・ペア・ラインを何層か形成することができる。

【 0 0 3 3 】

以上説明したように、本実施形態によれば、信号線 6 0 と差動信号線 5 2 が、半導体装置が形成されるチップのほぼ主要部においてほぼ平行でかつほぼ同じ幅となるように絶縁層 5 4 を介して形成されることになり、これにより、信号線 6 0 から相対する差動信号線 5 2 に向かう電気力線および磁力線 (電磁界) が、信号線 6 0 および相対する差動信号線 5 2 を含む狭い範囲に形成される。このため、上下の信号線間ばかりでなく隣接する信号線間の干渉の影響を受けることを可及的に防止することが可能となり、干渉の少ない信号伝送を実現できるとともに微細化に適した構造を実現できる。

【 0 0 3 4 】

なお、第 3 実施形態においては、配線対の積層数は 2 層であったが、図 2 2 に示すように、配線の積層数は 2 層に限ったものではなく、信号線 6 0 を挟み込む形で差動信号線 5 2 および差動信号線 6 5 のパターンを形成する構造としてもよい。すなわち、図 2 2 に示す、第 3 実施形態の変形例による半導体装置は、図 2 0 に示す第 3 実施形態において、信号線 6 0 を覆うように絶縁層 6 1 および絶縁層 6 3 が形成され、この絶縁層 6 3 の、信号線 6 0 に相対する位置に差動信号線

6 5 が設けられ、この差動信号線 6 5 を覆うように絶縁層 6 7 が形成され、この絶縁層 6 7 内に差動信号線 6 5 と接続するビア・プラグ 6 9 が設けられた構成となっている（図 2 2 参照）。これにより、配線の積層数は 3 層となる。

【 0 0 3 5 】

また、図 2 3 に示すような構成としても良い。すなわち、この図 2 3 に示す第 3 実施形態の第 2 変形例による半導体装置は、図 2 2 に示す、第 2 実施形態の第 1 変形例による半導体装置において、信号線 6 0 と同じ層内でこの信号線 6 0 を挟むように差動信号線 6 0 a を形成した構成となっている。

【 0 0 3 6 】

これらの第 3 実施形態の第 1 および第 2 変形例による半導体装置も第 3 実施形態と同様な効果を奏することは言うまでもない。

【 0 0 3 7 】

（第 4 実施形態）

次に、本発明の第 4 実施形態による半導体装置の製造方法を、図 2 4 乃至図 3 2 を参照して説明する。

【 0 0 3 8 】

この実施形態による半導体装置の製造方法は、スタックド・ペア・ライン構造をダマシン配線で実現するものである。まず、図 2 4 に示すように、半導体基板 7 0 上に、例えばトランジスタ等の素子（図示せず）を形成した後、絶縁層 7 2 および配線層（図示せず）を順次形成する（図 2 4 参照）。続いて、図 2 4 に示すように、半導体基板 7 0 の主面に、例えば C V D 法またはスピン塗布法を用いて絶縁層 7 4 を形成する。

【 0 0 3 9 】

次に図 2 5 に示すように、絶縁層 7 4 内に複数の溝 7 6 を形成する。これらの溝のいくつかは、その底面に上記配線層に接続するためのビア・ホール 7 6 a が設けられた構成となっている（図 2 5 参照）。続いて、基板 7 0 の主面に例えば C V D 法を用いて金属を堆積し、ビア・ホール 7 6 a を埋め込むことによりビア・プラグ 7 7 を形成するとともに溝 7 6 の側面および底面に差動信号線となる金属層 7 8 を形成する（図 2 6 参照）。その後、基板 7 0 の主面に金属層 7 8 を覆

うように絶縁層 8 0 を形成する（図 2 7 参照）。

【0 0 4 0】

次に、図 2 8 に示すように、基板の主面に例えば C V D 法を用いて金属を堆積し、絶縁層 8 0 を覆う、信号線となる金属層 8 2 を形成する。続いて、例えば C M P 法を用いて、図 2 9 に示すように、絶縁層 7 4 上に形成された余分な金属層 8 2、絶縁層 8 0、および金属層 7 8 を削除し、溝内に差動信号線 7 8 a、絶縁層 8 0 a、および信号線 8 2 a を形成する。したがって、本実施形態においては、差動信号線 7 8 a および信号線 8 2 a からなる配線対が絶縁層 8 0 a を介して溝内に形成されることになる。

【0 0 4 1】

次に、図 3 0 に示すように基板 7 0 の主面の全面に絶縁層 8 4 を形成する。続いて、図 3 1 に示すように、絶縁層 8 4 内に信号線 8 2 a に接続するビア・ホール 8 6 を形成する。その後、図 3 2（b）に示すように、ビア・ホール 8 6 を金属で埋め込み、ビア・プラグ 8 8 を形成する。なお、図 3 2（b）は、本実施形態の製造方法によって製造される半導体装置の断面図であり、図 3 2（a）は、図 3 2（b）に示す切断線 A - A で切断したときの断面図である。この図 3 2（a）に示す断面図から分かるように、本実施形態においては、溝内に形成された、信号線 8 2 a および差動信号線 7 8 a からなる 2 組の配線対の一方（図 3 2（a）では左側に示す配線対）は真っ直ぐに形成されており、他方（図 3 2（a）では右側に示す配線対）は途中から右方に折れ曲がるように形成されている。いずれの配線対も、信号線 8 2 a と差動信号線 7 8 a が、半導体装置が形成されるチップのほぼ主要部においてほぼ平行となるように絶縁層 8 0 a を介して溝内に形成されることになる。上記のプロセスを繰り返してスタックド・ペア・ラインを何層か形成することができる。

【0 0 4 2】

以上説明したように、本実施形態によれば、信号線 8 2 a と差動信号線 7 8 a が、半導体装置が形成されるチップのほぼ主要部においてほぼ平行となるように絶縁層 8 0 a を介して溝内に形成されることになり、これにより、信号線 8 2 a から対応する差動信号線 7 8 a に向かう電気力線および磁力線（電磁界）が、信

号線 8 2 a および対応する差動信号線 7 8 a を含む狭い範囲に形成される。このため、上下の信号線間ばかりでなく隣接する信号線間の干渉の影響を受けることを可及的に防止することが可能となり、干渉の少ない信号伝送を実現できるとともに微細化に適した構造を実現できる。

【 0 0 4 3 】

なお、上記第 1 乃至第 4 実施形態においては、差動信号線の上に絶縁層を介して信号線が形成された構成となっているが、信号線の上に絶縁層を介して差動信号線を形成した構成でも、同様の効果を奏することができることは云うまでもない。

【 0 0 4 4 】

【発明の効果】

以上、述べたように、本発明によれば、上下の信号線間の干渉および隣接する信号線間の干渉を抑えることができるとともに微細化にも適応できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態による半導体層の構成を示す断面図。

【図 2】

信号配線路の等価回路図。

【図 3】

本発明の第 2 実施形態による半導体装置の製造方法の製造工程断面図。

【図 4】

本発明の第 2 実施形態による半導体装置の製造方法の製造工程断面図。

【図 5】

本発明の第 2 実施形態による半導体装置の製造方法の製造工程断面図。

【図 6】

本発明の第 2 実施形態による半導体装置の製造方法の製造工程断面図。

【図 7】

本発明の第 2 実施形態による半導体装置の製造方法の製造工程断面図。

【図 8】

本発明の第 2 実施形態による半導体装置の製造方法の製造工程断面図。

【図 9】

本発明の第 2 実施形態による半導体装置の製造方法の製造工程断面図。

【図 1 0】

本発明の第 2 実施形態による半導体装置の製造方法の製造工程断面図。

【図 1 1】

第 2 実施形態の変形例による半導体装置の製造方法によって製造された半導体装置の構成を示す断面図。

【図 1 2】

本発明の第 3 実施形態による半導体装置の製造方法の製造工程断面図。

【図 1 3】

本発明の第 3 実施形態による半導体装置の製造方法の製造工程断面図。

【図 1 4】

本発明の第 3 実施形態による半導体装置の製造方法の製造工程断面図。

【図 1 5】

本発明の第 3 実施形態による半導体装置の製造方法の製造工程断面図。

【図 1 6】

本発明の第 3 実施形態による半導体装置の製造方法の製造工程断面図。

【図 1 7】

本発明の第 3 実施形態による半導体装置の製造方法の製造工程断面図。

【図 1 8】

本発明の第 3 実施形態による半導体装置の製造方法の製造工程断面図。

【図 1 9】

本発明の第 3 実施形態による半導体装置の製造方法の製造工程断面図。

【図 2 0】

本発明の第 3 実施形態による半導体装置の製造方法の製造工程断面図。

【図 2 1】

本発明の第 3 実施形態による半導体装置の製造方法の製造工程断面図。

【図 2 2】

第 3 実施形態の第 1 変形例による製造法によって製造された半導体装置の構成を示す断面図。

【図 2 3】

第 3 実施形態の第 2 変形例による製造法によって製造された半導体装置の構成を示す断面図。

【図 2 4】

本発明の第 4 実施形態による半導体装置の製造方法の製造工程断面図。

【図 2 5】

本発明の第 4 実施形態による半導体装置の製造方法の製造工程断面図。

【図 2 6】

本発明の第 4 実施形態による半導体装置の製造方法の製造工程断面図。

【図 2 7】

本発明の第 4 実施形態による半導体装置の製造方法の製造工程断面図。

【図 2 8】

本発明の第 4 実施形態による半導体装置の製造方法の製造工程断面図。

【図 2 9】

本発明の第 4 実施形態による半導体装置の製造方法の製造工程断面図。

【図 3 0】

本発明の第 4 実施形態による半導体装置の製造方法の製造工程断面図。

【図 3 1】

本発明の第 4 実施形態による半導体装置の製造方法の製造工程断面図。

【図 3 2】

本発明の第 4 実施形態による半導体装置の製造方法の製造工程断面図。

【図 3 3】

マイクロストリップ・ライン構造の半導体装置の構成を示す断面図。

【図 3 4】

マイクロストリップ・ライン構造の半導体装置の問題点を説明する図。

【符号の説明】

1 0 半導体基板

- 1 1 絶縁層
- 1 2 絶縁層
- 1 3 差動信号線
- 1 5 絶縁層
- 1 6 絶縁層
- 1 7 信号線
- 1 8 絶縁層
- 2 0 半導体基板
- 2 2 絶縁層
- 2 4 絶縁層
- 2 6 ビア・プラグ
- 2 8 金属層
- 2 8 a 差動信号線
- 3 0 絶縁層
- 3 0 a 絶縁層
- 3 2 金属層
- 3 2 a 信号線
- 3 3 絶縁層
- 3 4 絶縁層
- 3 5 差動信号線
- 3 6 ビア・プラグ
- 4 0 半導体基板
- 4 2 絶縁層
- 4 4 絶縁層
- 4 6 ビア・ホール
- 4 8 配線用溝
- 5 0 ビア・プラグ
- 5 2 差動信号線
- 5 4 絶縁層

5 6 絶縁層
5 8 溝
6 0 信号線
6 0 a 差動信号線
6 1 絶縁層
6 2 絶縁層
6 3 絶縁層
6 4 ビア・ホール
6 5 差動信号線
6 6 ビア・プラグ
6 7 絶縁層
6 9 ビア・プラグ
7 0 半導体基板
7 2 絶縁層
7 4 絶縁層
7 6 溝
7 6 a ビア・ホール
7 7 ビア・プラグ
7 8 金属層
7 8 a 差動信号線
8 0 絶縁層
8 0 a 絶縁層
8 2 金属層
8 2 a 信号線
8 4 絶縁層
8 6 ビア・ホール
8 8 ビア・プラグ
9 0 0 半導体基板
9 0 1 絶縁層

特 2 0 0 1 - 3 7 2 9 7 4

9 0 2 絶縁層

9 0 3 金属層

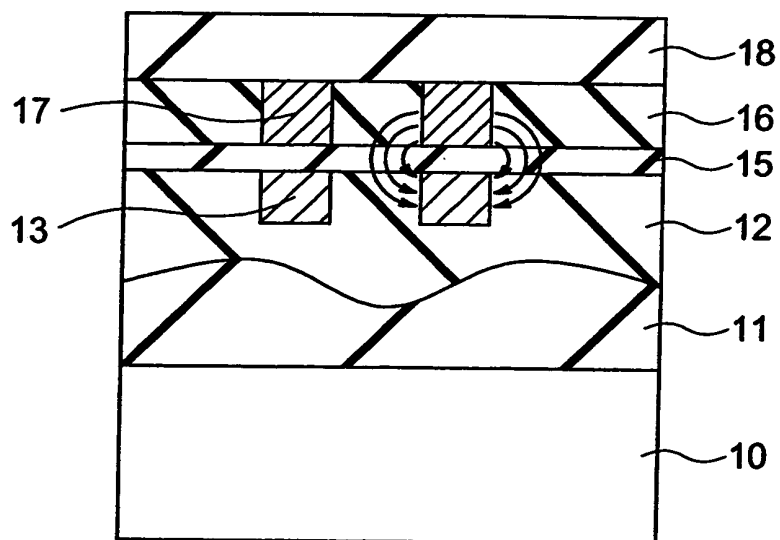
9 0 4 絶縁層

9 0 5 信号線

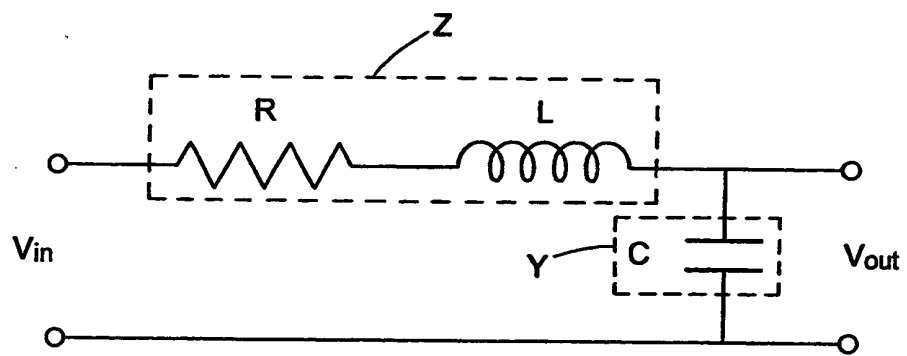
9 0 6 絶縁層

【書類名】 図面

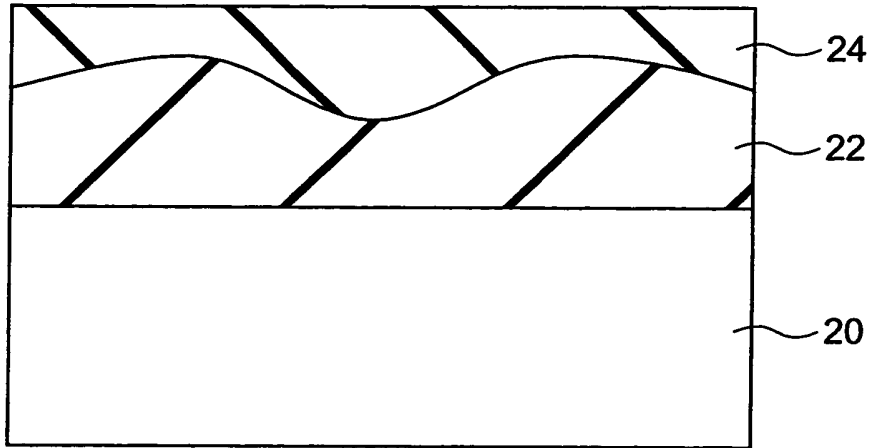
【図 1】



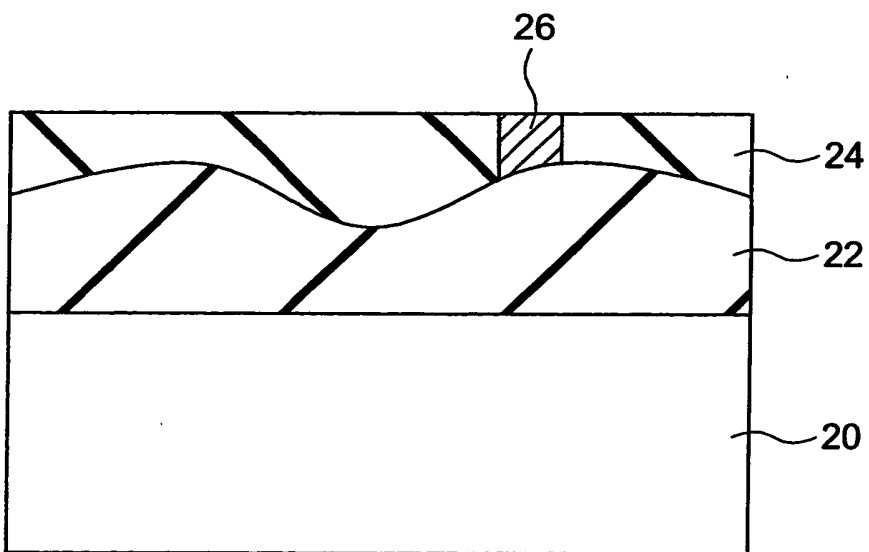
【図 2】



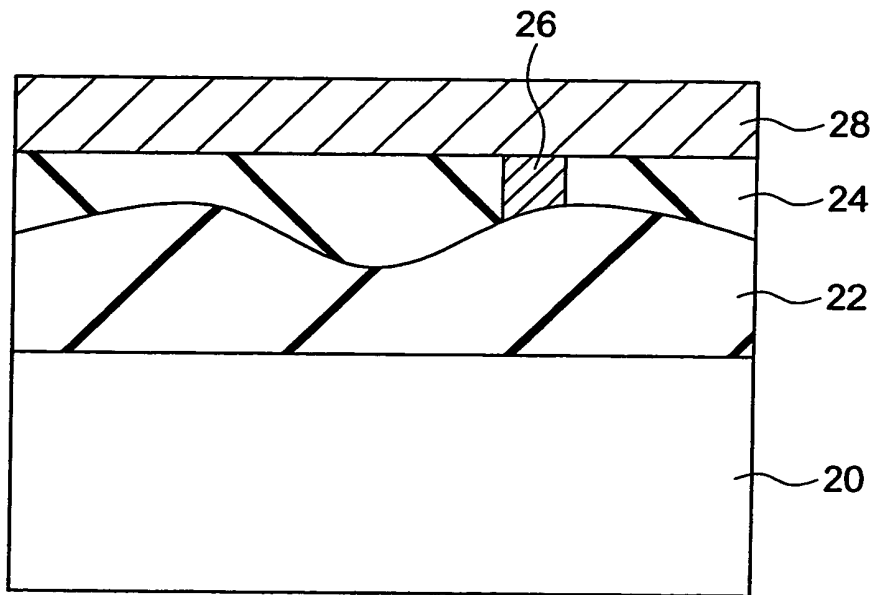
【図3】



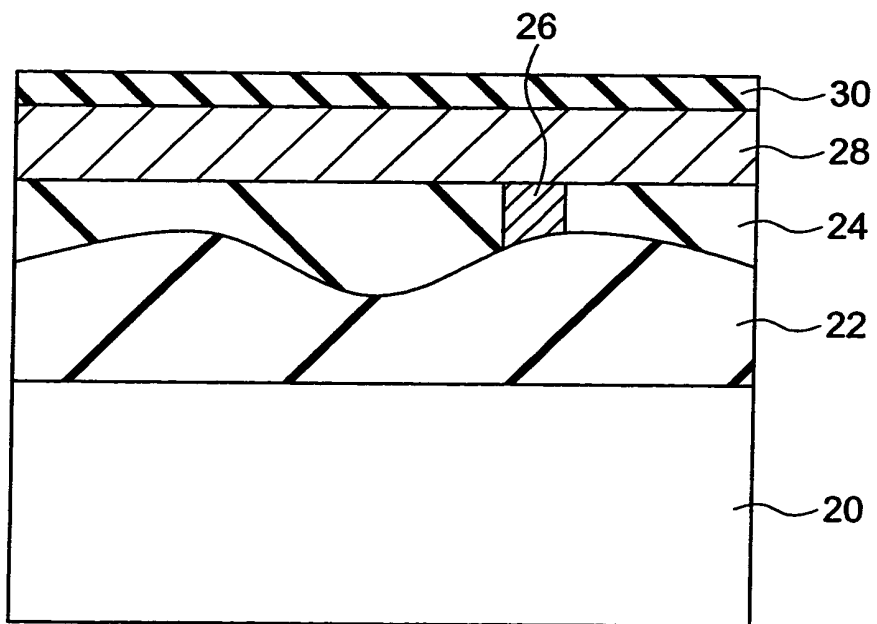
【図4】



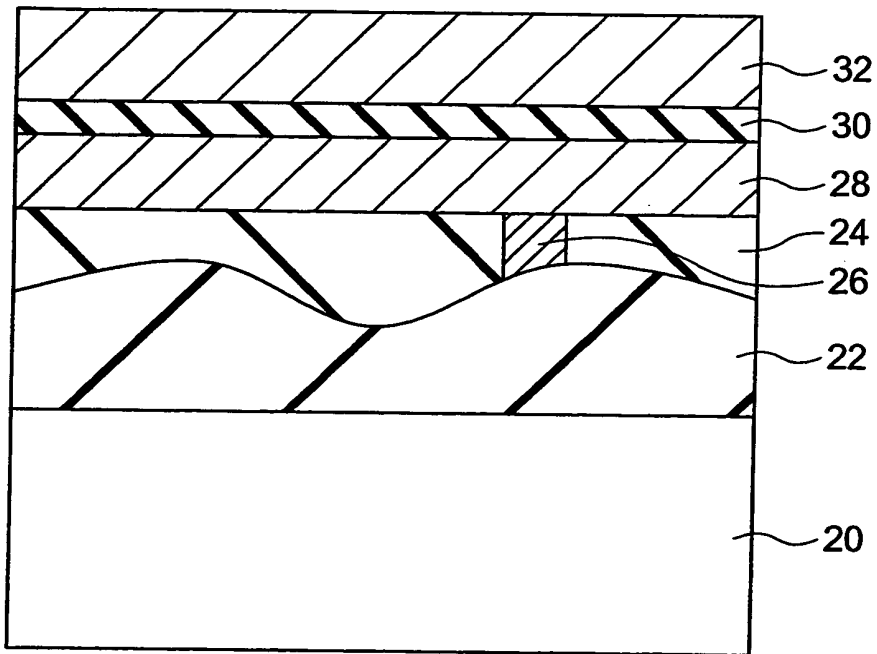
【図5】



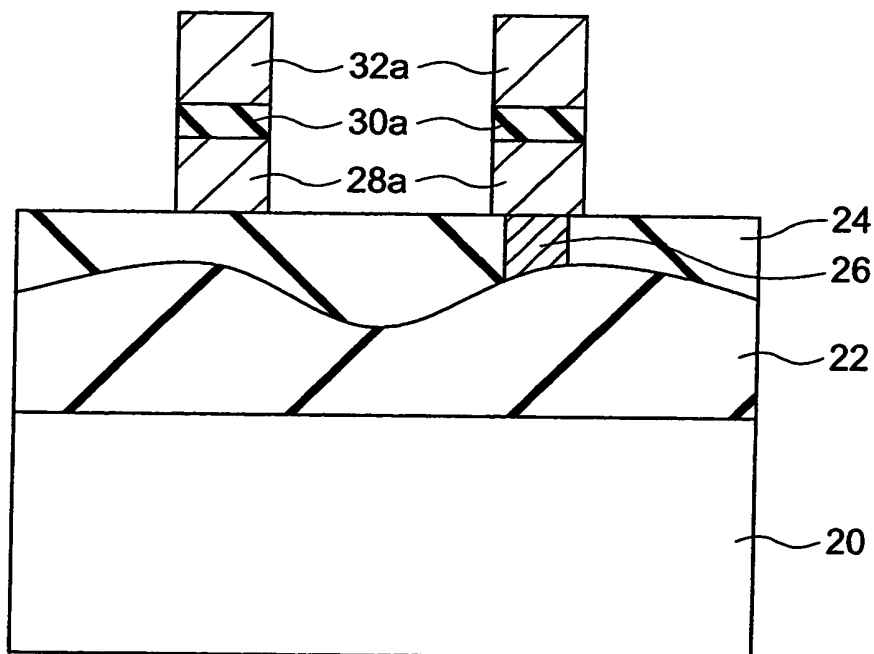
【図6】



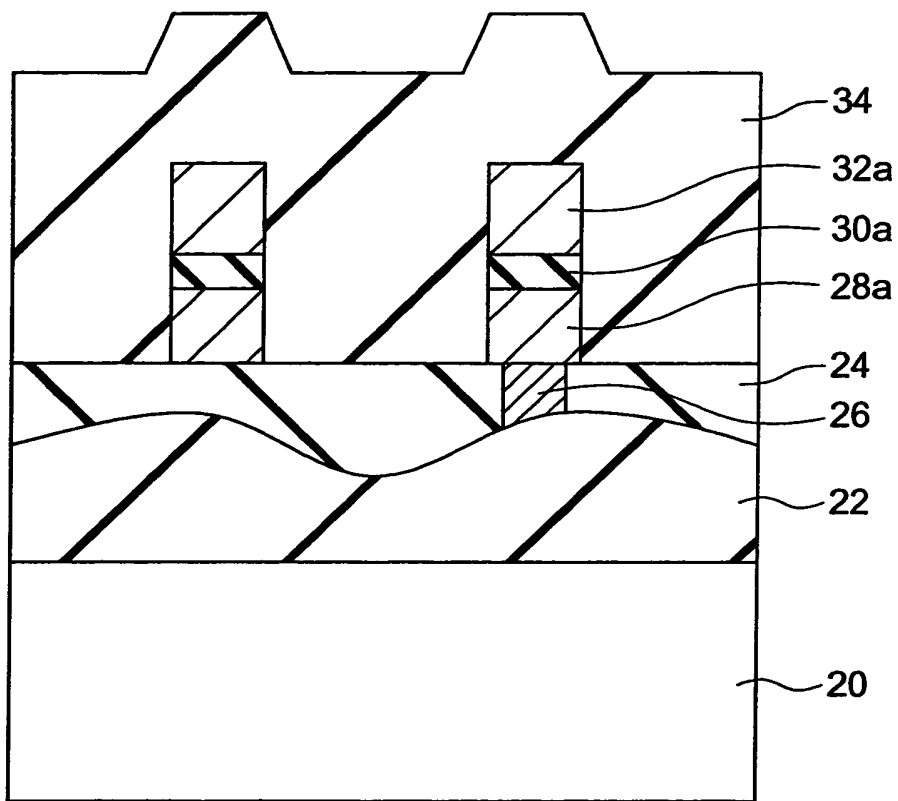
【図7】



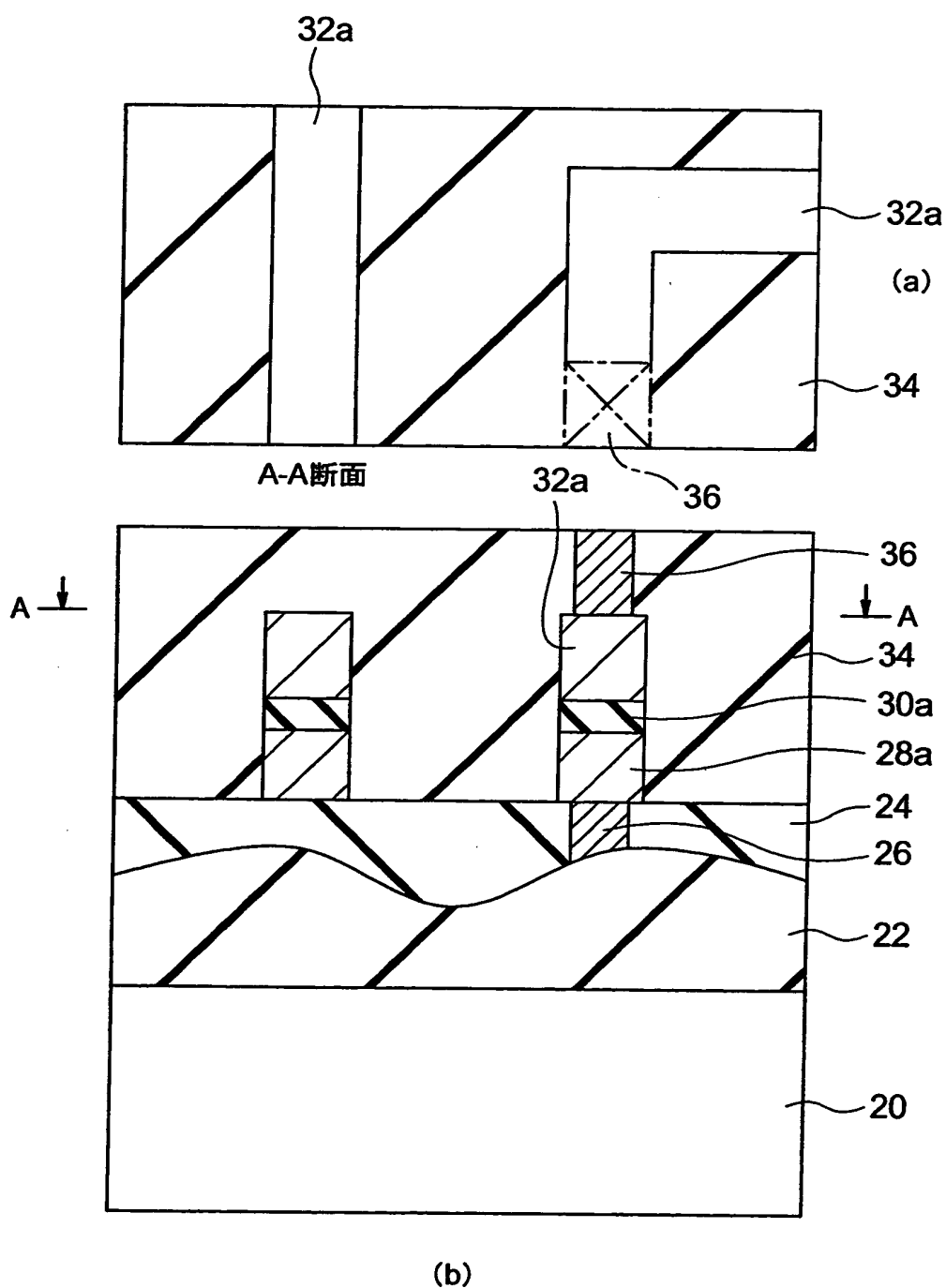
【図8】



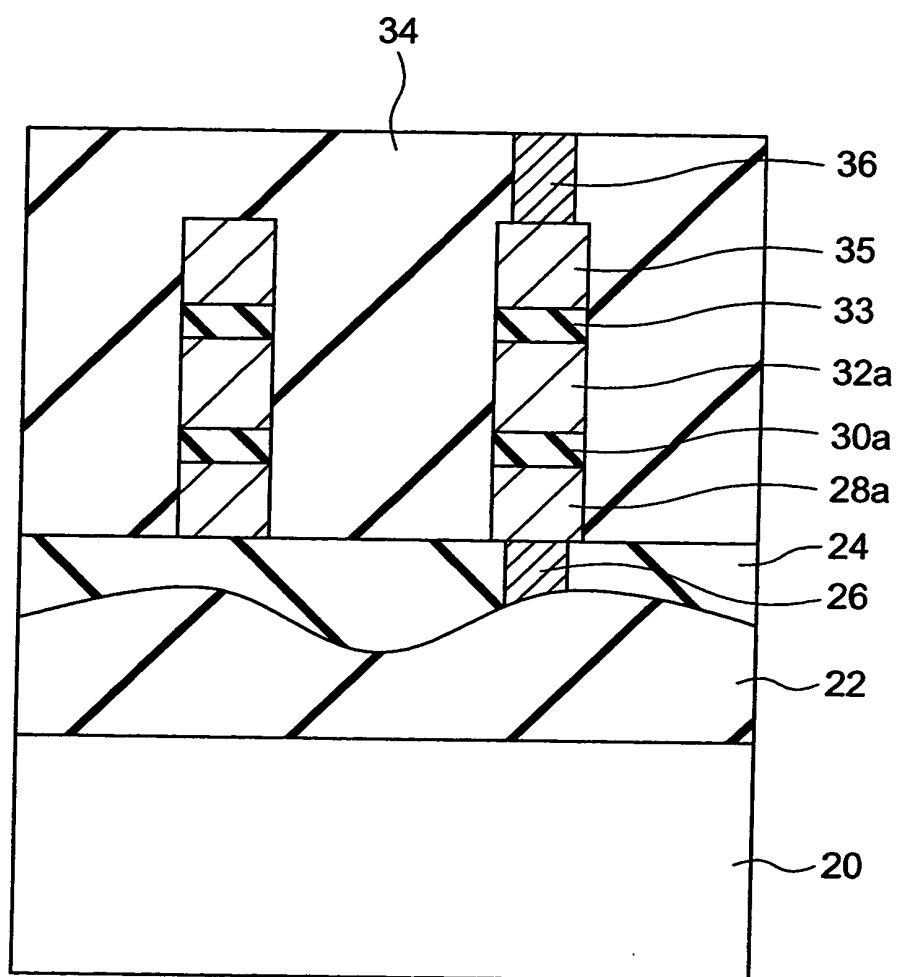
【図9】



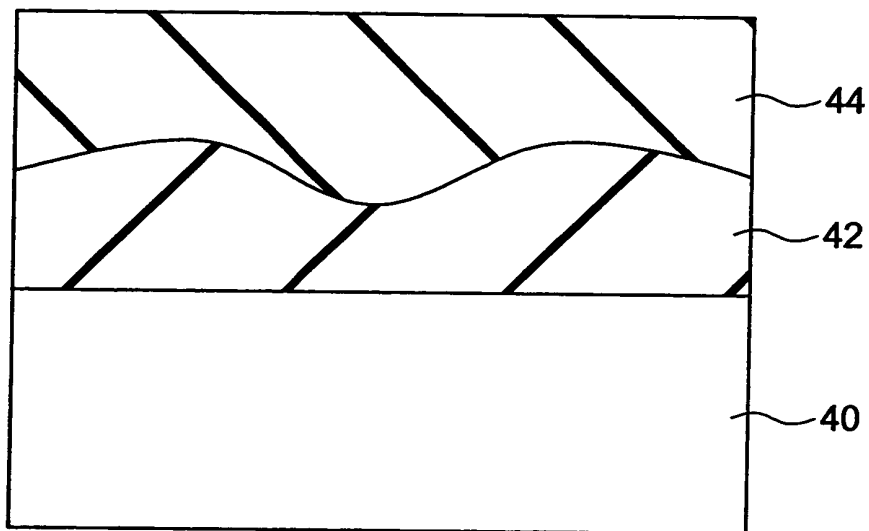
【図10】



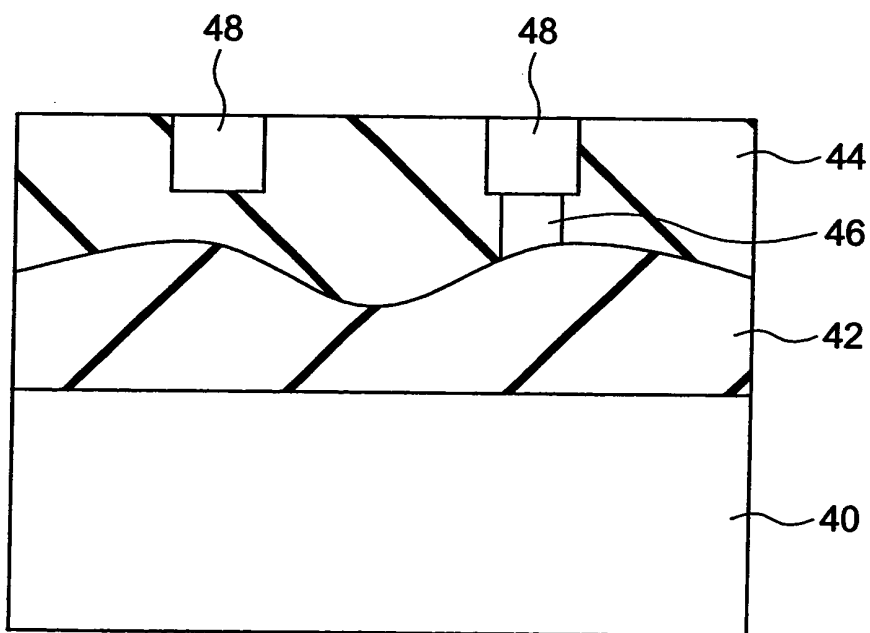
【図11】



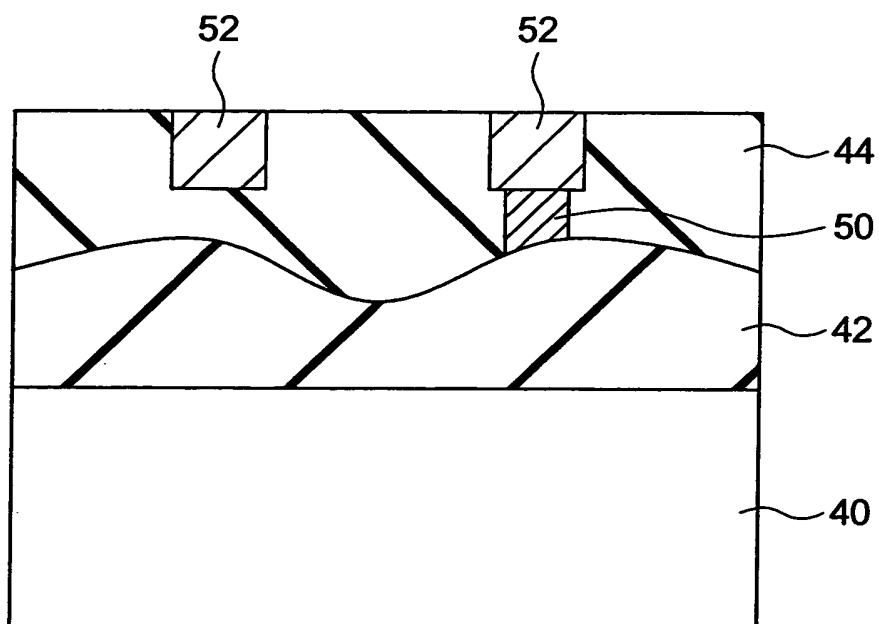
【図 1 2】



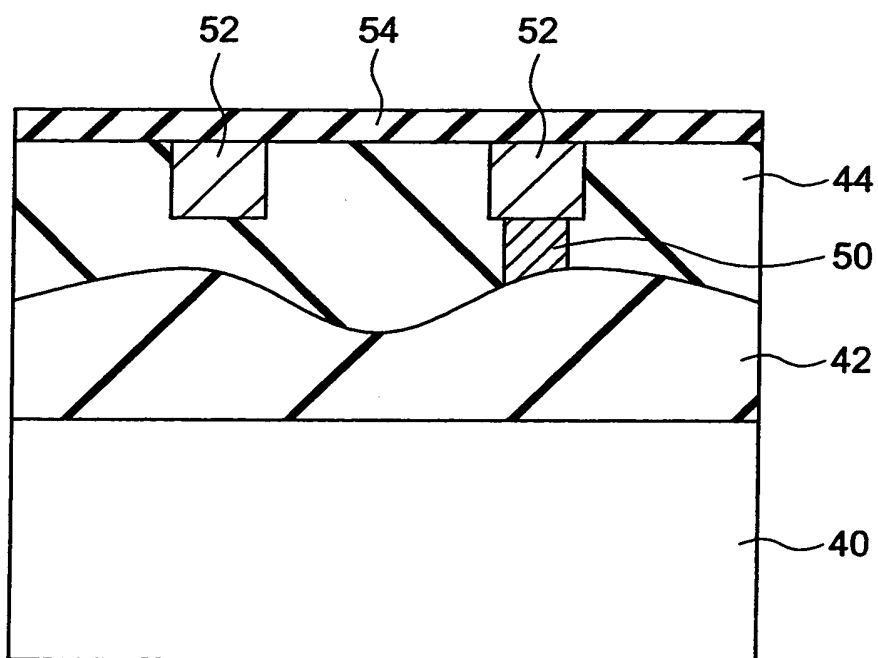
【図 1 3】



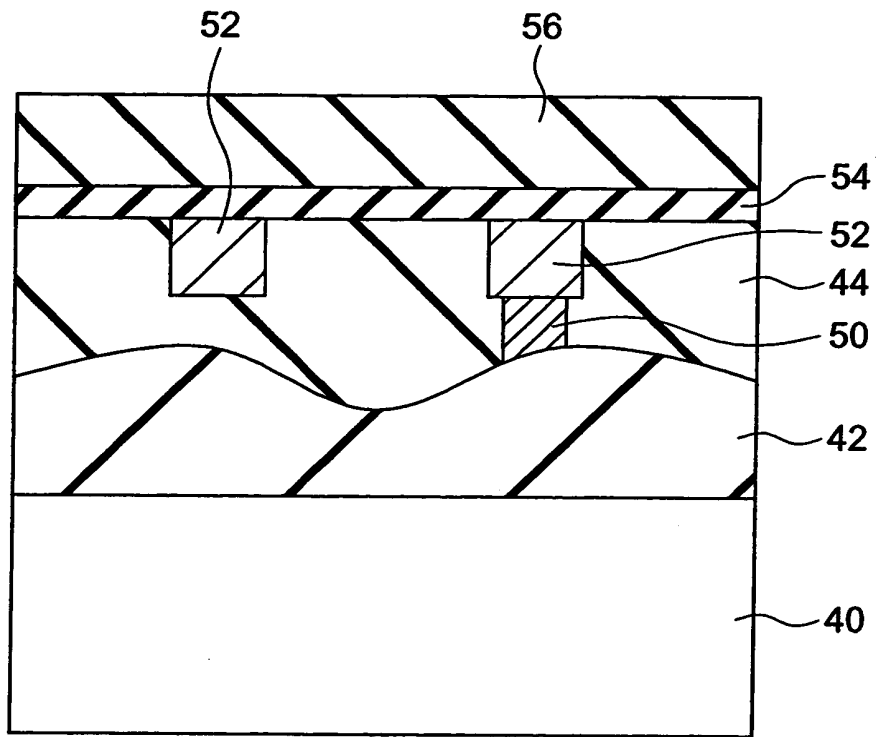
【図14】



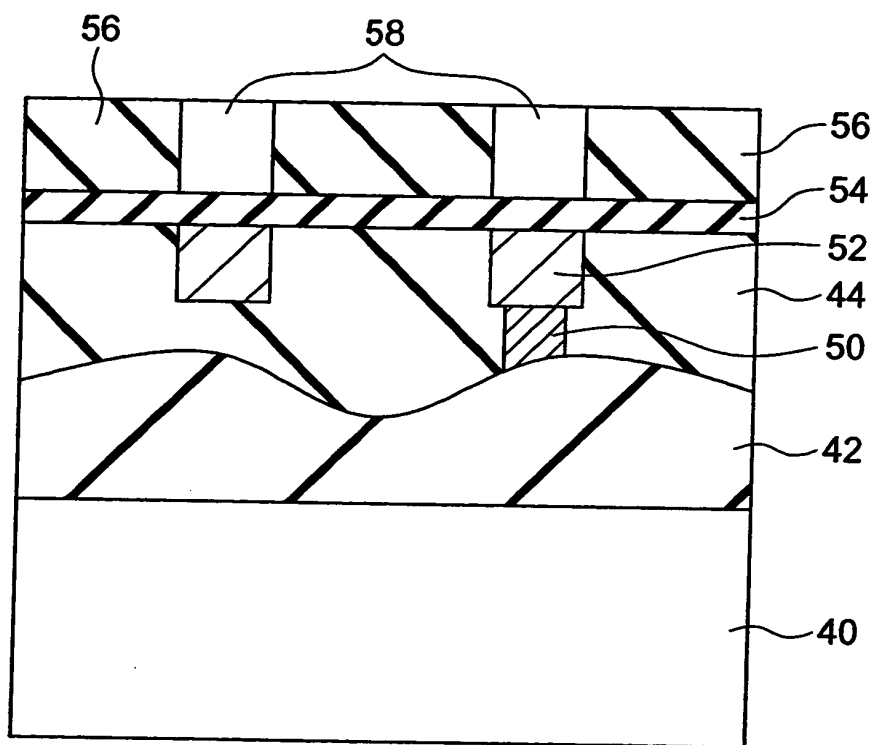
【図15】



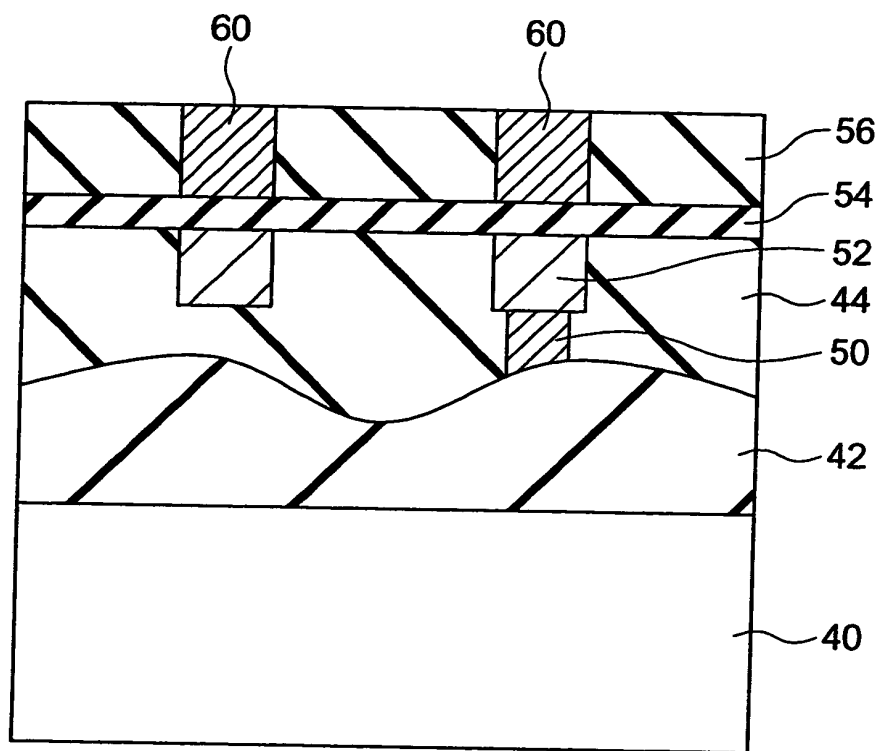
【図 1 6】



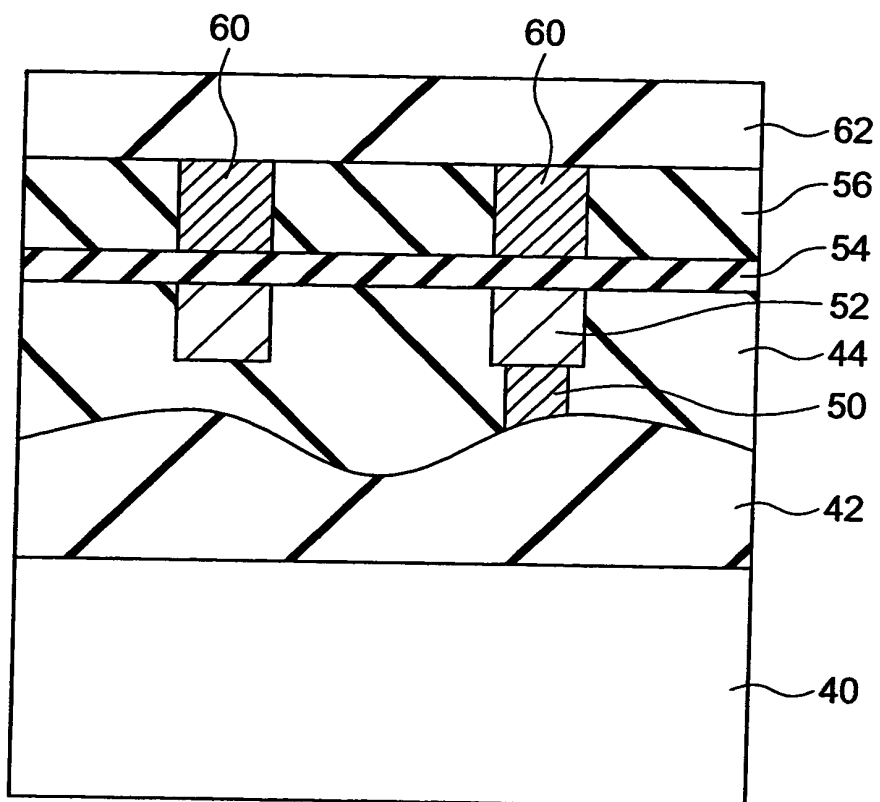
【図17】



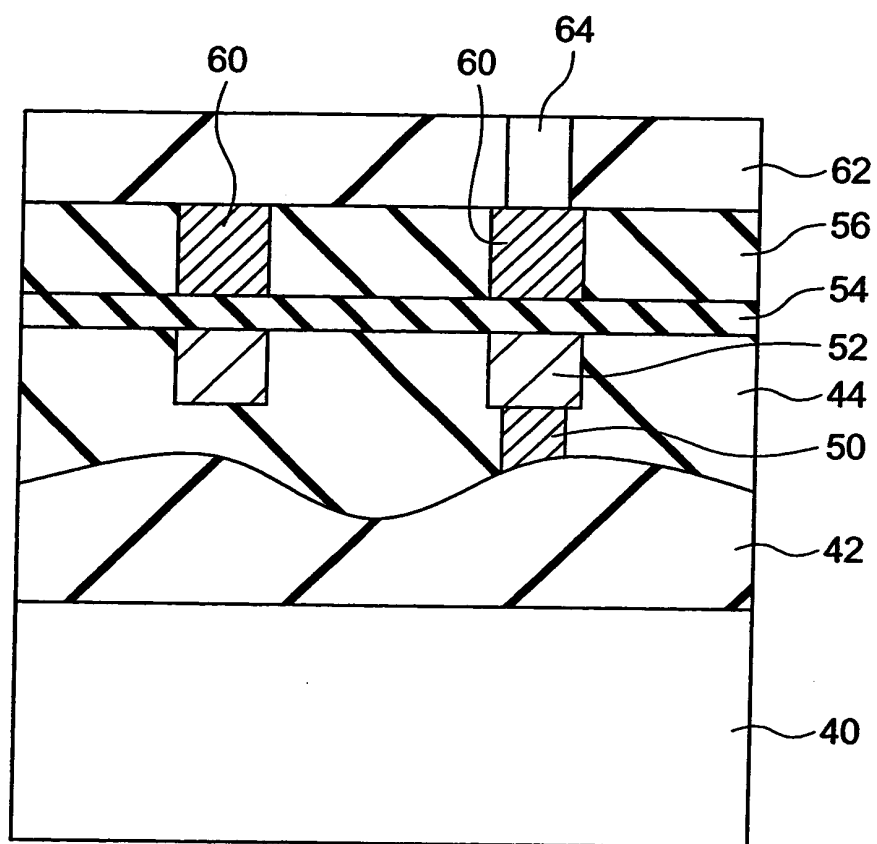
【図18】



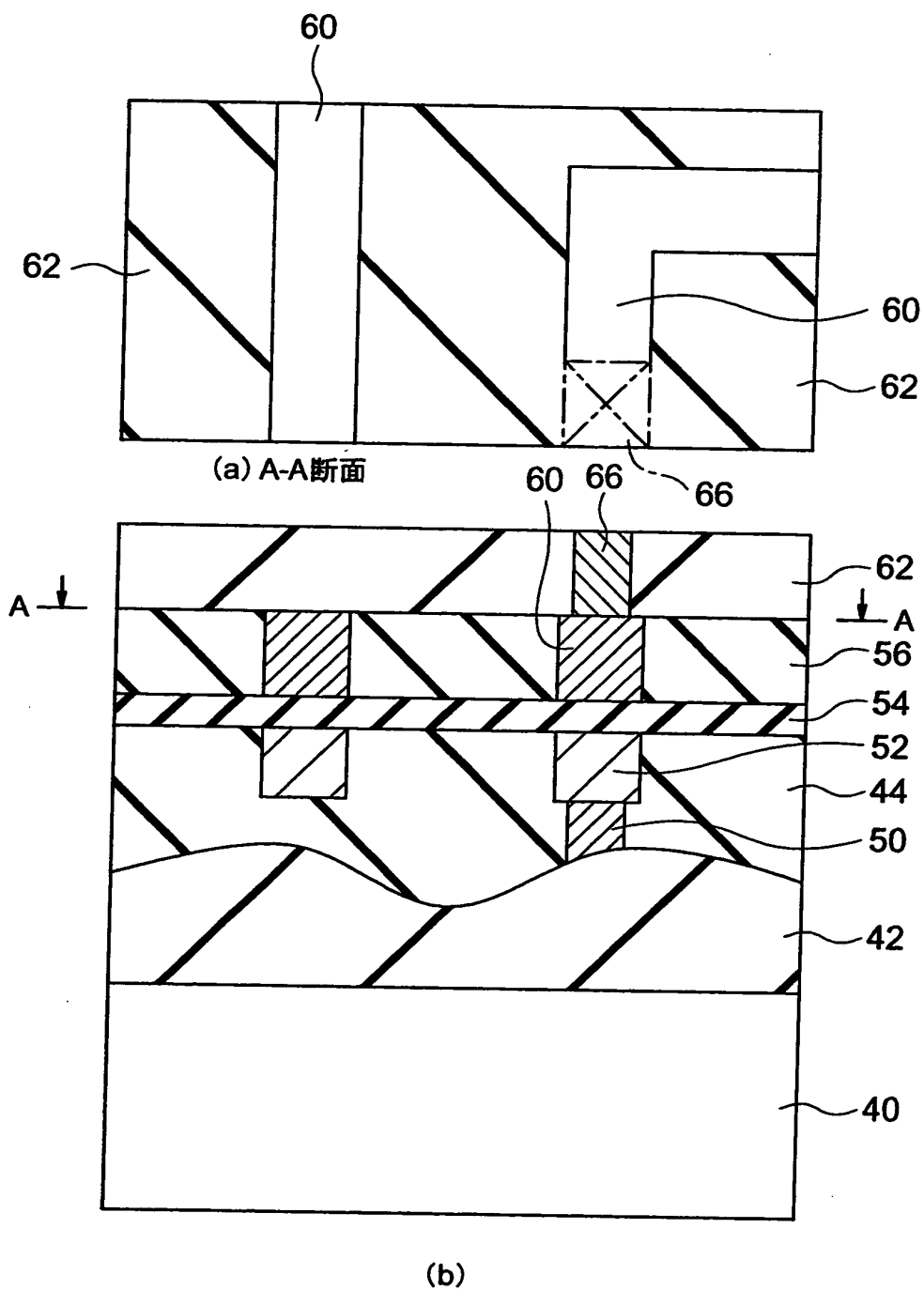
【図19】



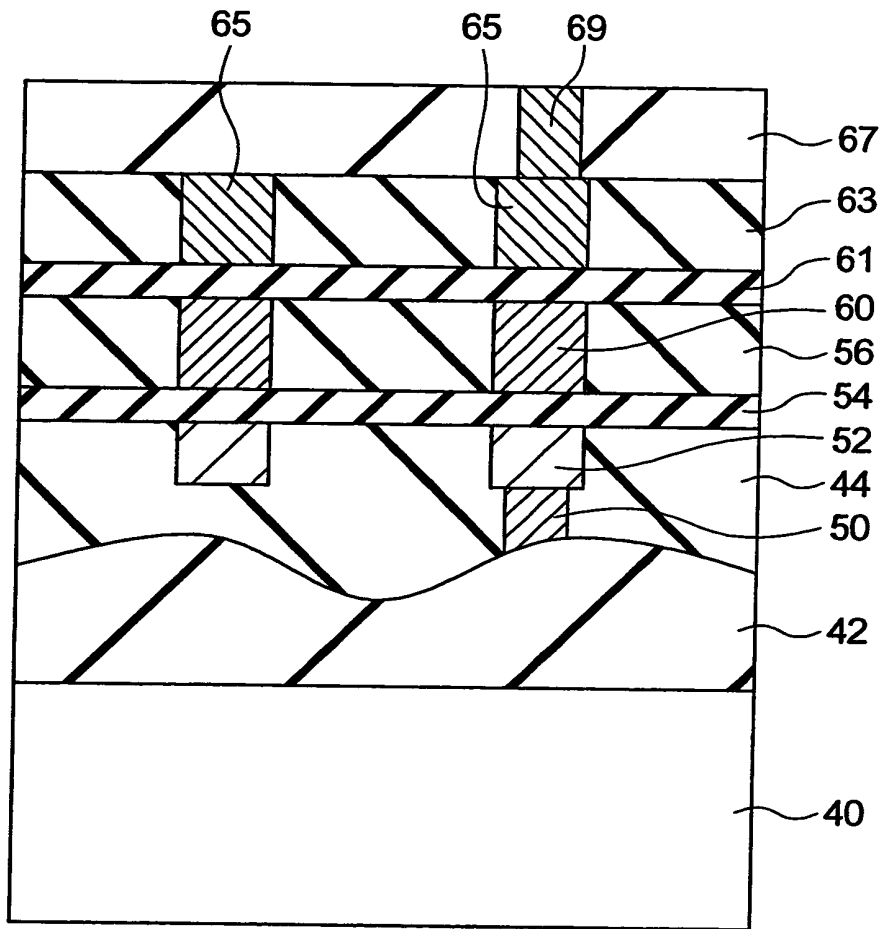
【図 20】



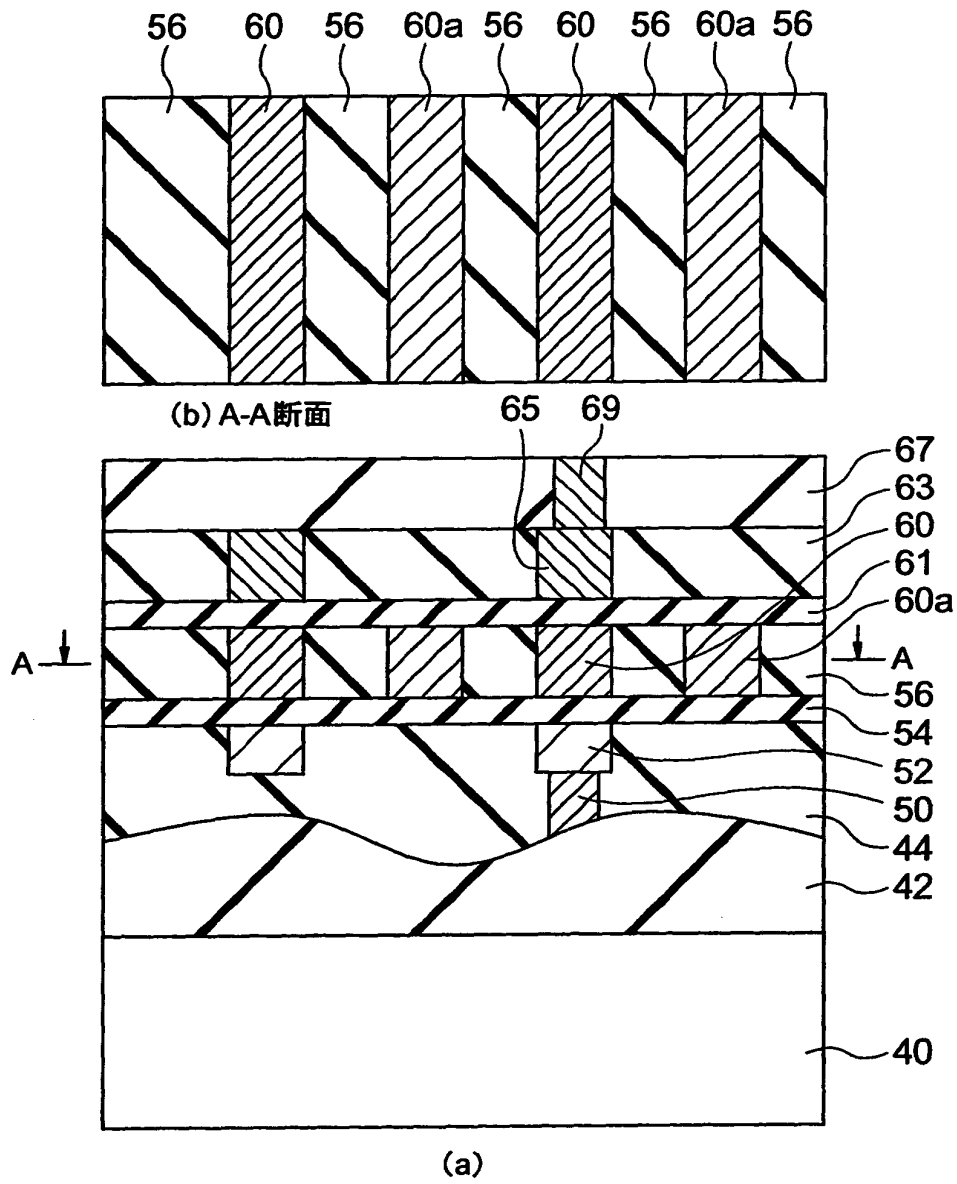
【図 21】



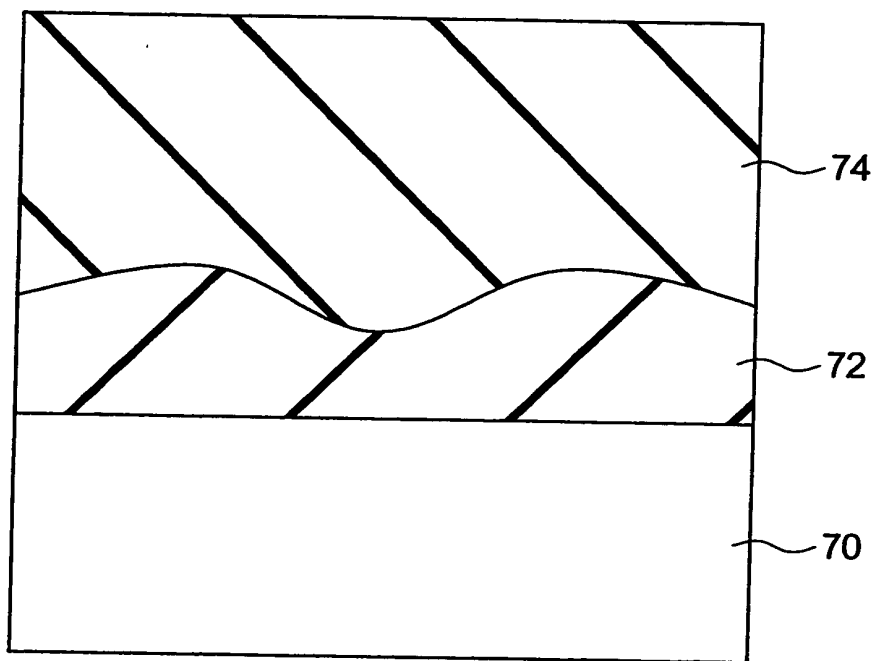
【図 22】



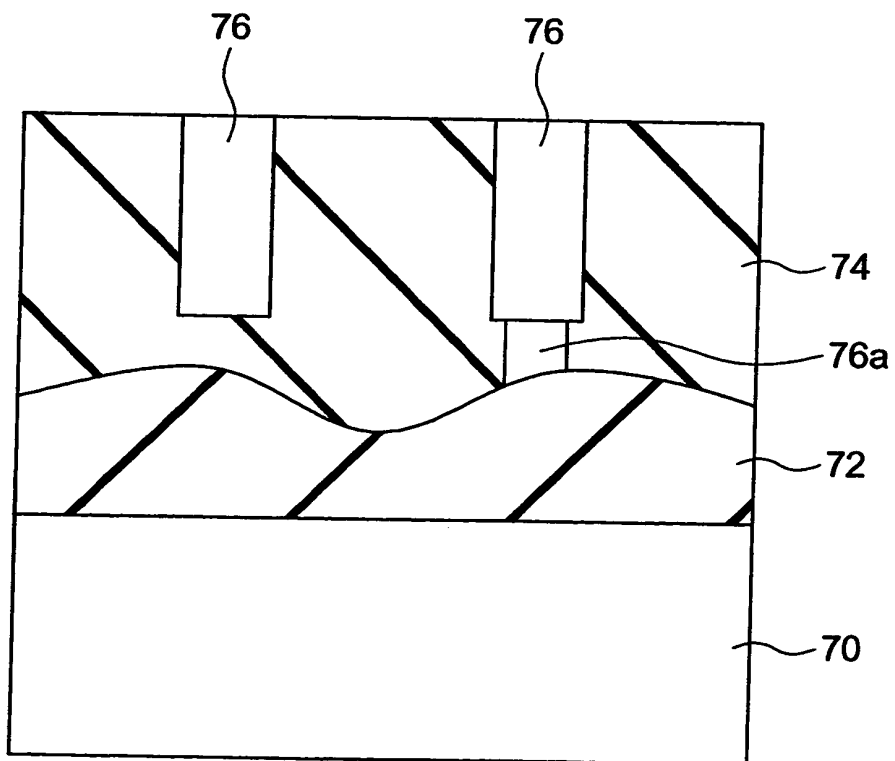
【図 2 3】



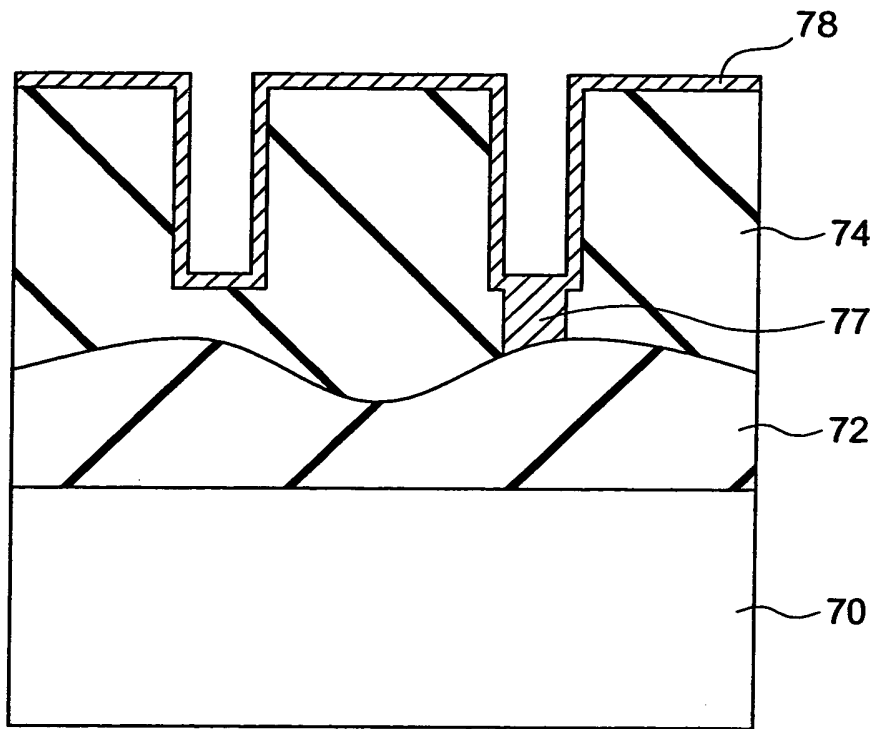
【図24】



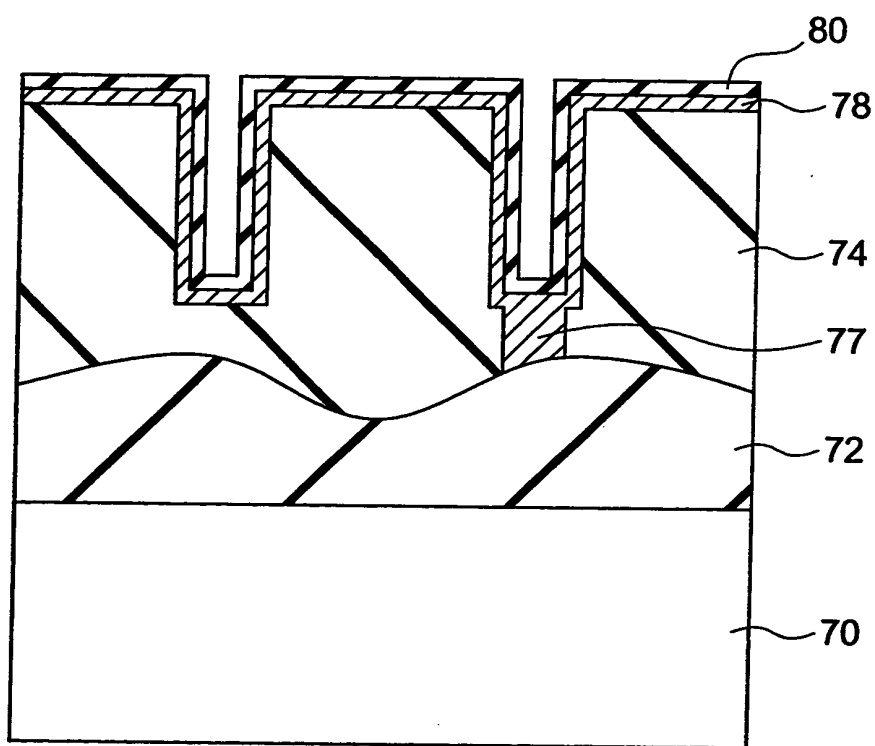
【図25】



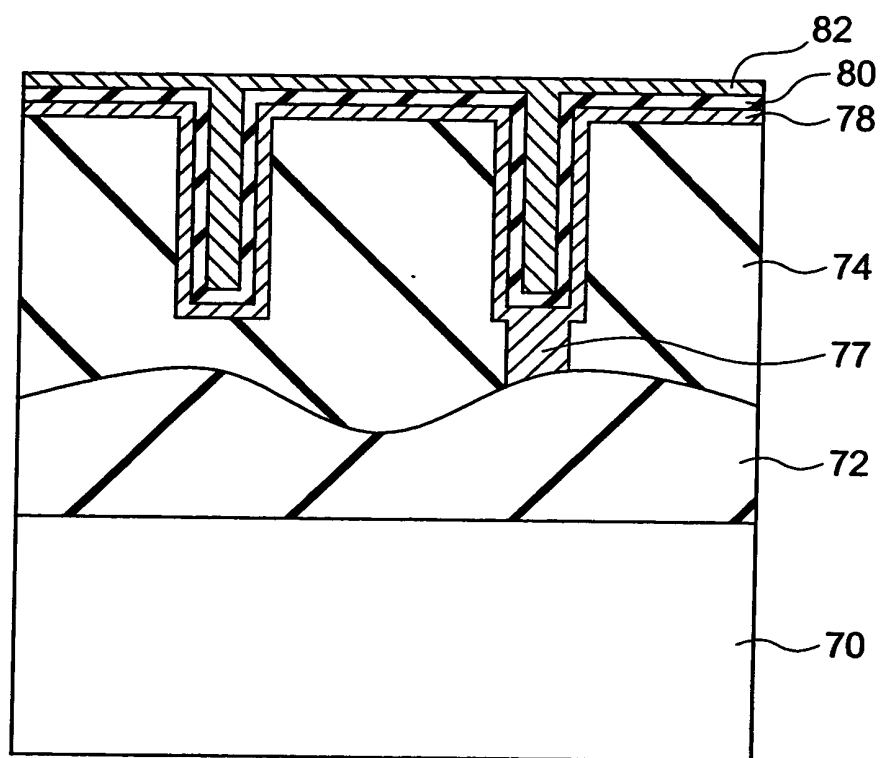
【図 2 6】



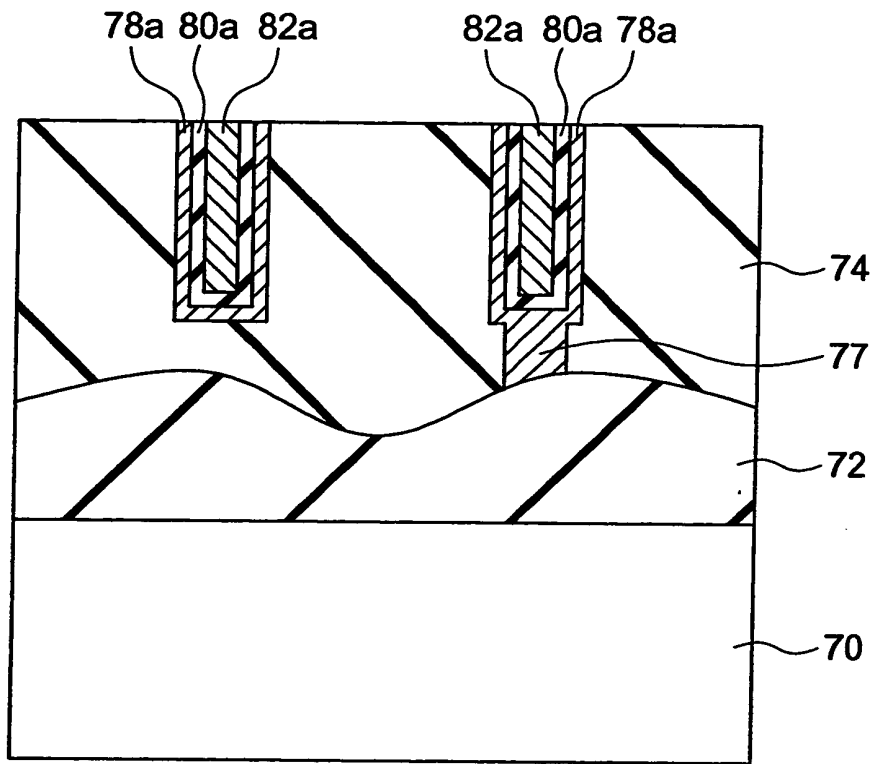
【図 27】



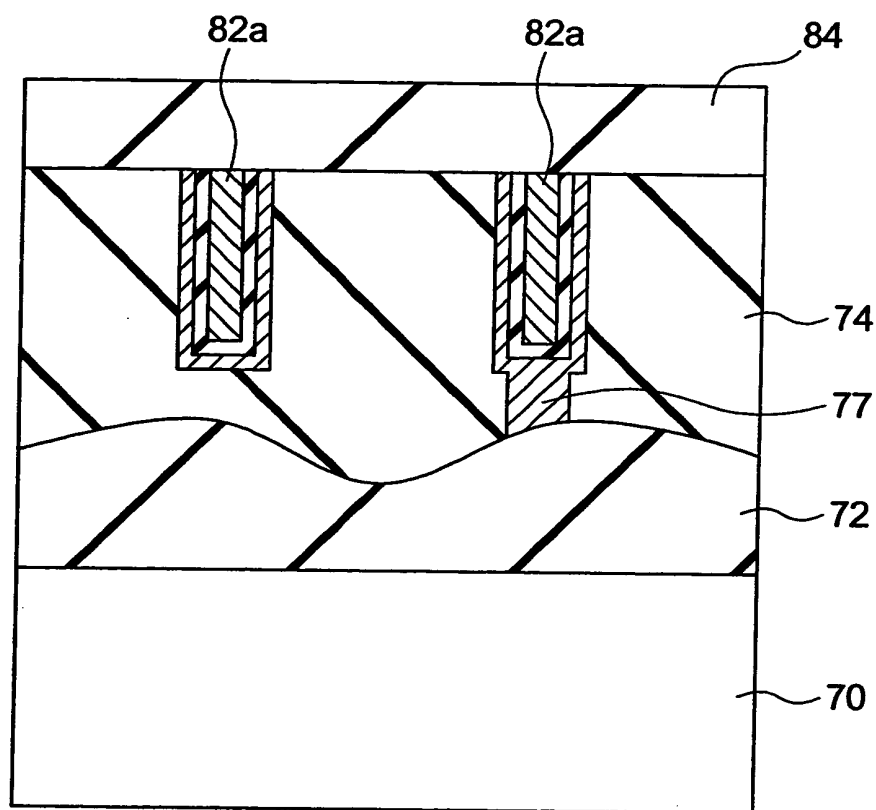
【図 28】



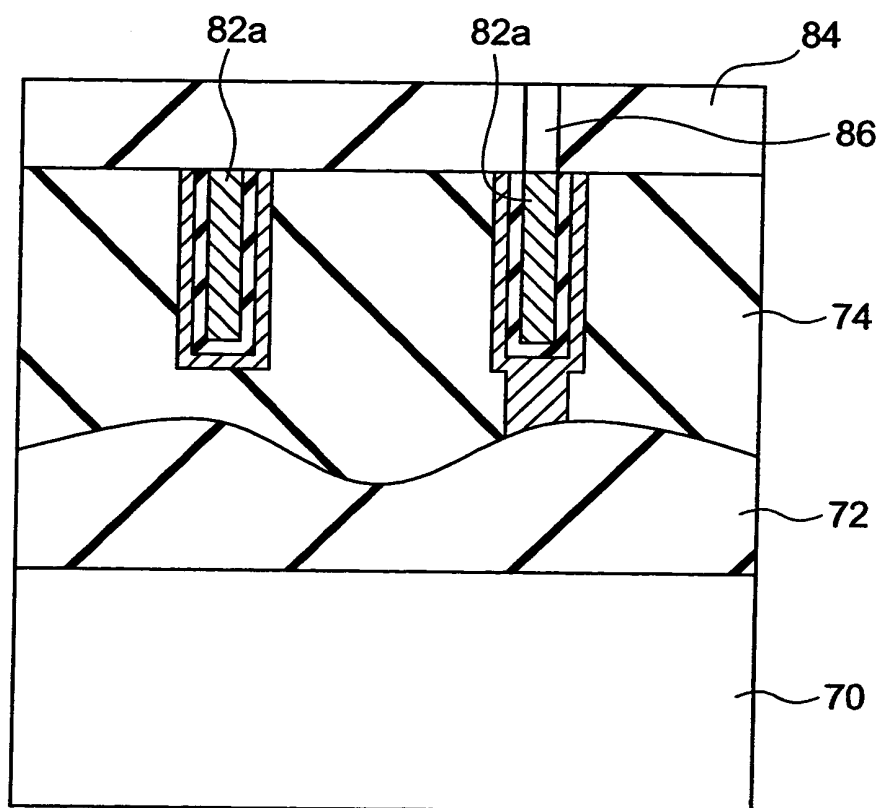
【図29】



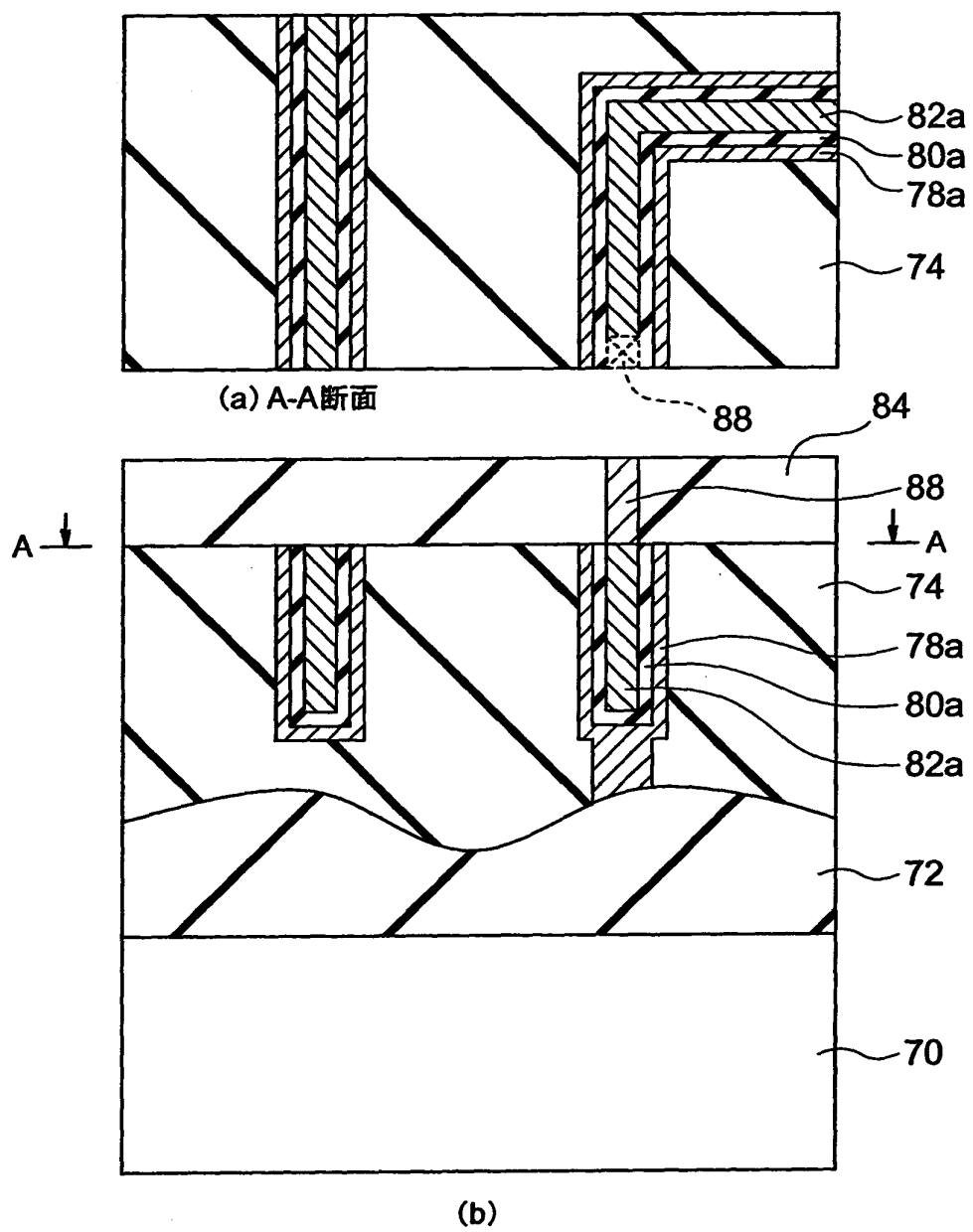
【図 3 0】



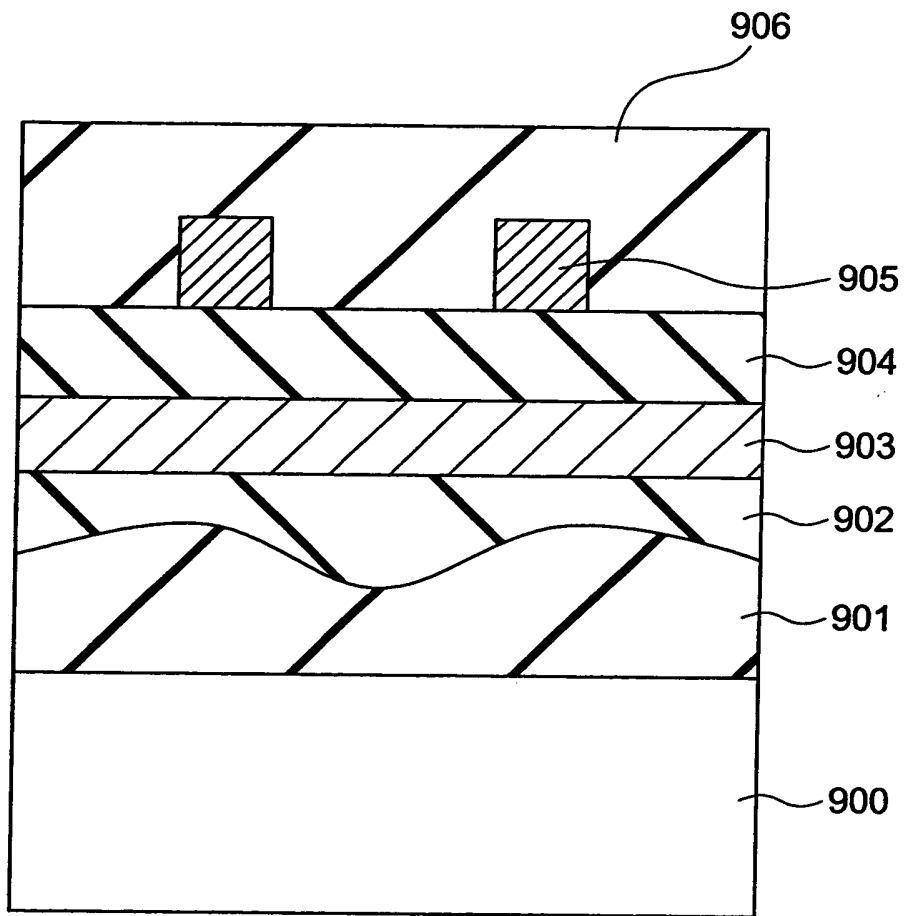
【図 3 1】



【図32】

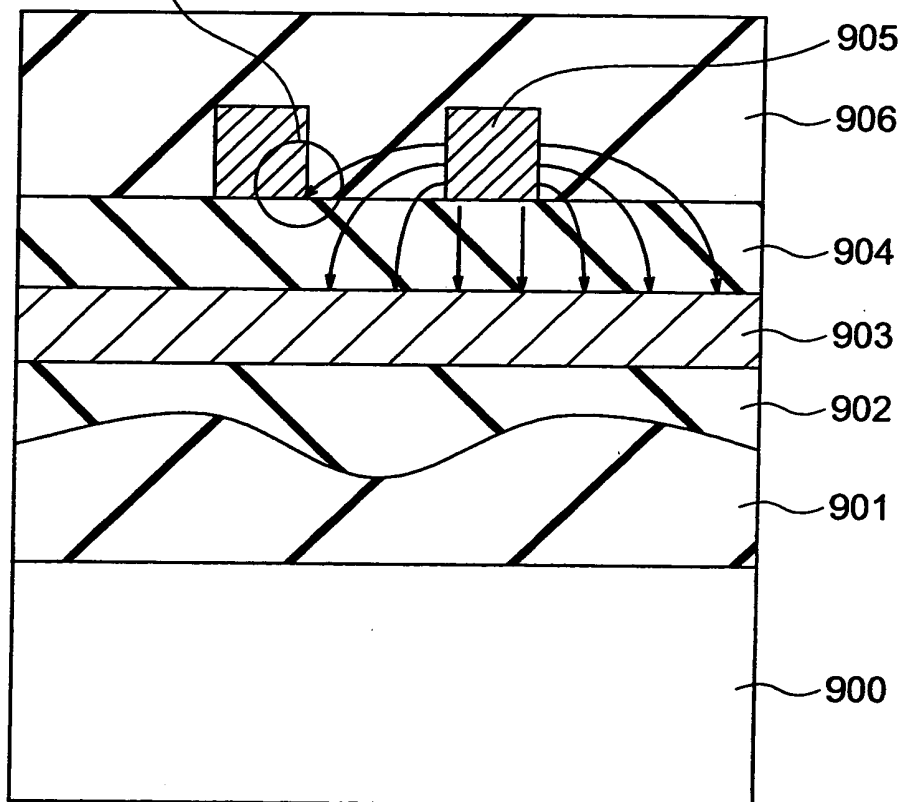


【図 3 3】



【図 3 4】

隣接配線と、電界の干渉が大きい



【書類名】 要約書

【要約】

【課題】 上下の信号線間の干渉および隣接する信号線間の干渉を抑えることを可能にするとともに微細化にも適応できることを可能にする。

【解決手段】 半導体基板 1 0 上に形成され所望の周波数 f_0 の信号が通る信号線 1 7 と、上記信号と逆位相の信号が通るかまたは接地電源に接続される差動信号線 1 3 と、を備え、信号線と差動信号線は、ほぼ平行であるように絶縁層 1 5 を介して積層され、差動信号線が存在しなかった場合の信号線の単位長当たりの、抵抗成分、インダクタンス成分、キャパシタ成分をそれぞれ R 、 L 、 C とし、信号線の実際の配線長 l が次の式

【数 4】

$$l_0 = \sqrt{\frac{\frac{L}{C} + \sqrt{\frac{R^2 + 8\pi^2 f_0^2 L^2}{4\pi^2 f_0^2 C^2}}}{R^2 + 4\pi^2 f_0^2 L^2}}$$

から求められる配線長 l_0 よりも長いように構成されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝